

# JTAGテストの効果を最大化する テスト容易化設計 DFT

アンドールシステムサポート(株) / 谷口 正純

## 1 はじめに

「JTAGテストは準備が大変!」というイメージが根強く残っている。実は5年以上前にテキストエディタでプログラムを作成していた大変だった時代は終わり、18万種類を超える部品ライブラリからテストパターンが自動生成される時代になった。新しいJTAGテスト統合環境「JTAG ProVision」の誕生により、JTAGテスト(バウンダリスキャンテスト)を採用する企業が急速に増えている。

さらに、高密度化する基板の中で最近主流となっている部品として、ARMプロセッサを内蔵したFPGAやマルチコアのARMプロセッサなどのBGAパッケージ部品の存在がJTAGテストを採用する後押しになっている。これらの部品には、すでにJTAGテスト用の機能が内蔵されており、JTAGテスト対応部品からDDR3メモリ、eMMC(Embedded Multi Media Card)を含む周辺回路を電氣的にコントロールして、周辺回路の実装状態もテストすることができる。そのため、

CPUやFPGAが1チップしか搭載されていない基板ではJTAGテストは効果が少ないと誤解されることがあるが、実は1チップの基板においても有効な検査手法となる。

## 2 JTAGテストによる 「基板検査の明るい未来」

JTAGテスト(バウンダリスキャンテスト)は、1990年にJTAG(Joint Test Action Group)が、IEEE 1149.1規格として検査手法を定めた。当時はBGAパッケージが誕生したばかりで、市場には普及していなかったが、将来の高密度実装基板で普及するであろうBGAパッケージの実装検査手法として誕生したテスト規格である。

当社は、国内におけるJTAGテストのリーディングカンパニーとして、テスト規格の普及と技術情報の提供を進めてきた。1994年には本邦初のJTAGテスト手法をご紹介します

フォーラムにおいて、当社がJTAGテストツールの講演を行った(図1)。また、JTAG Technologies社よりテクニカルディレクターであったPeter van den Eijnden氏(現在の社長)が来日して、最先端のテスト規格を解説した。本フォーラムのキーワードは「基板テストの世界が変わる」となっており、本文には「半導体メーカーから提供されるデバイスにはDFT(テスト容易化設計)に基づく(JTAGテスト用の)標準回路内蔵の製品が続々と提供されてきている。」との記載があった。当時を振り返ると、JTAGテストの機能を搭載した半導体が市場に出始めた頃であった。しかし、現在では、JTAGテストの普及に伴いJTAGテストの機能を搭載した半導体が標準的になっている。JTAGテスト



図1 本邦初のJTAG/IEEE1149.1を紹介したJASAフォーラム

の効果を最大化するためには、回路設計時のDFTが重要となっている。

今日のCPU、FPGA、PLD、DSP、DDRメモリなどの主要部品は、全てBGAパッケージが標準になってしまい、物理的にプロービングして実装保証することが困難になってしまった。JTAGテストは、20年以上前に誕生した検査手法であるが、JTAG対応部品のBGA端子がプローブピンと同等の働きをして、電気的に実装状態をスキャンできるため、改めて注目されている(図2)。日本におけるJTAGテストの普及状況は、実装基板の高密度化に伴い広がり続けており、産業機器、コンシューマ、オートモーティブなどの高密度な組み込み製品の実装保証にJTAGテストが適用されている。

このように、さらなる活用が期待されているJTAGテストだが、回路の設計を誤るとその効果を十分に発揮できない。ここでは、JTAGテストを最大限活かすことができるように、JTAGテストのためのテスト容易化設計「DFT(Design For

Testability)」について、特に注意すべきポイントを幾つか紹介したい。今後の製品基板の回路設計、デザインレビューを行う際の参考にして頂き、JTAGテストを活用して製品の品質向上と検査コスト削減を実現して欲しい。

### 3 DFT-1 部品選定に気をつける

設計の初期段階では、回路を制御するためのCPU、FPGA、DSPなどのメインとなる部品の選定が行われる。FPGA、DSP、PLDなどの部品の多くは、JTAGテストに対応しているので問題ないが、CPU、MPUなどのプロセッサについては、部品選定時に注意を必要とする。JTAG ICE用のJTAG端子はあっても、JTAGテストに対応していない部品が存在するためである。

バウンダリスキャンの機能が搭載していることを事前に確

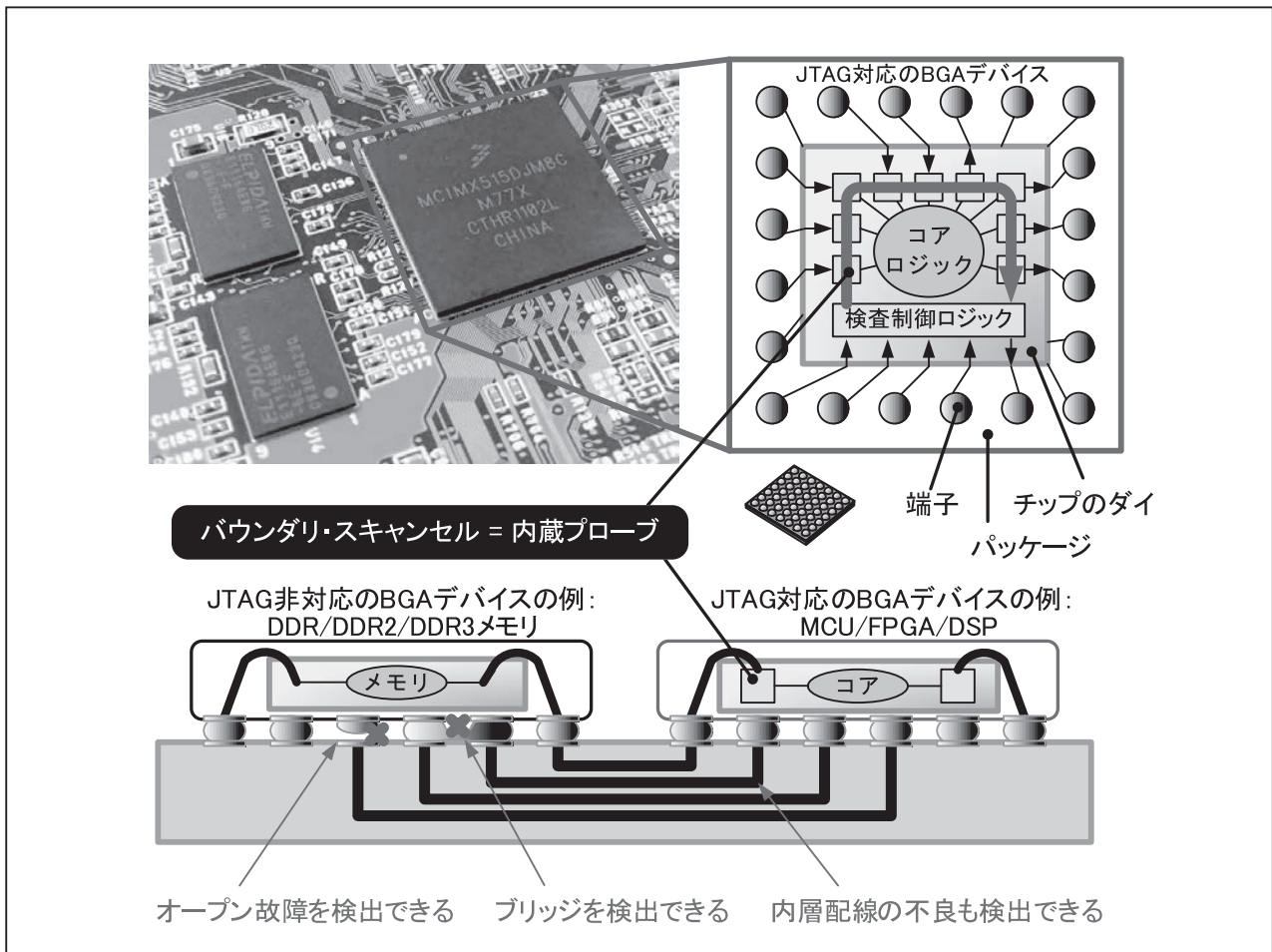


図2 BGA端子がプローブピンとして機能するJTAGテスト

F E A T U R E

認るもっとも簡単な確認方法は、BSDL (Boundary-Scan Description Language) ファイルを入手することである。JTAG対応部品のBSDLファイルはデバイスメーカーのホームページからダウンロードするか、ホームページから入手できない場合には、デバイスメーカーもしくは販売代理店より入手できる。

BSDLファイルには、JTAG対応部品の制御方法と部品の端子にどのようなテスト用の回路が内蔵されているかが記述されている。部品選定の段階では、採用する候補となったプロセッサのBSDLファイルを手入手して「JTAGテストに対応していること」を確認することが重要である。

図3の基板では、CPUとFPGA、PLDがJTAG対応部品であり、BSDLファイルを手入手する必要がある。FLASHメモリ、DDRメモリ、ドライバなどの部品は、「JTAG ProVision」に収録されている部品ライブラリを使用できる。

## 4 DFT-2 BSDLファイルを確認する

BSDLファイルは、回路設計に影響を与える重要な情報が記載されており、テキストエディタやメモ帳でファイルの内容を確認することができる。BSDLファイルには、「テストモー

ドの移行方法」「JTAGテスト用の命令セット」「バウンダリスキャン・セル」の情報などが含まれている。これらの情報は、IEEE 1149.1スタンダードにより、記載方法が定められている。

デバイスによっては、バウンダリスキャン機能を動作させるために「特定の端子に対して固定値を与える必要があるケース」や「バウンダリスキャン機能を使用する際に注意点があるケース」がある。

BSDLファイルが必要となるのは、製造検査段階と思われるが、実は設計に必要な情報が記載されているのである。

それではここで、BSDLファイルの中身を見てみよう。BSDLファイルの「DESIGN WARNING」というキーワードには、注意すべき点が英語の文章で記載されている。図4のBSDLファイルから抜粋したデザインワーニングの例では、「BATTFとVDDF信号ピンがロジック“0”の状態に信号をドライブしないと、デバイスがスリープモードに入ってしまう」ことがわかる。

また、『attribute COMPLIANCE\_PATTERNS』というキーワードには、バウンダリスキャン機能を動作させるためのコンプライアンスパターンとして、固定値を与えるピンと値が示されている。図5のBSDLファイルのコンプライアンスパターンの例では、「PROGRAMピンに対してロジック“1”を与

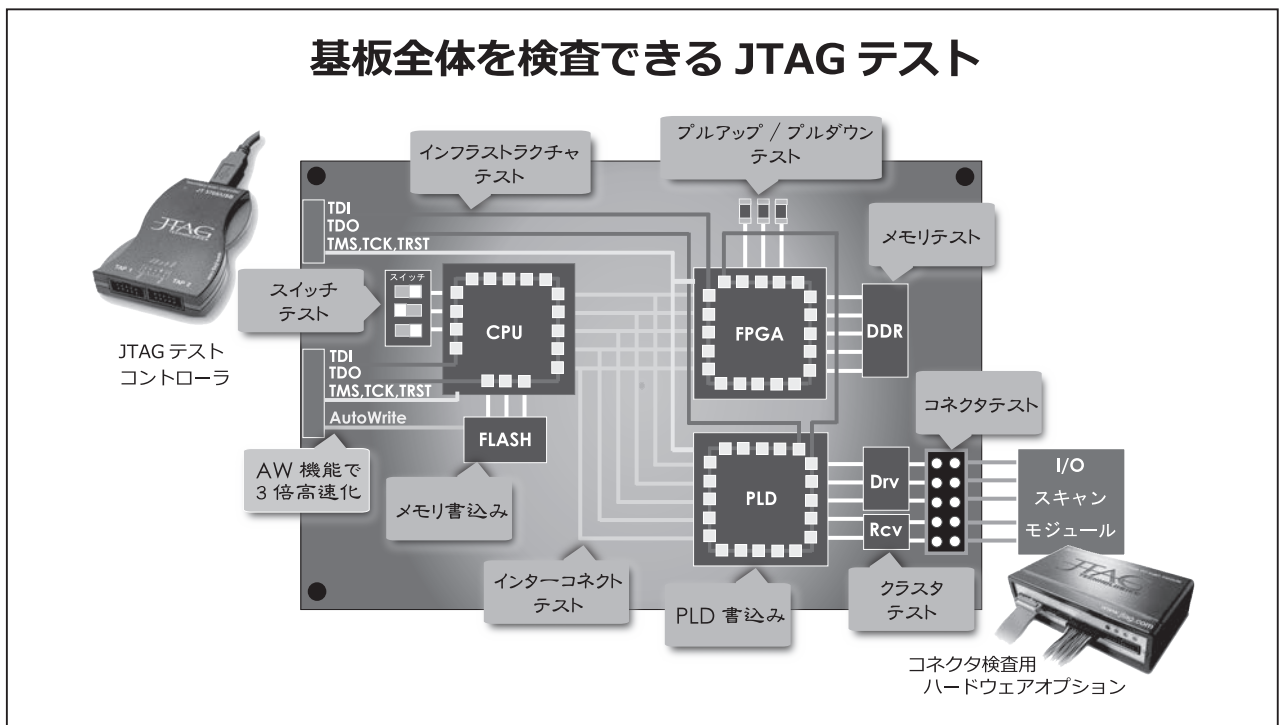


図3 基板全体を検査できるJTAGテスト

える」必要があることがわかる。複数のピンに対して処理が必要な場合は、図6のBSDLファイルの記入例のように示されている。

このように、BSDLファイルの『attribute DESIGN\_WARNING』と『attribute COMPLIANCE\_PATTERNS』には、設計時に注意する項目が記されている。これらの端子処理を実現するために、試作基板ではジャンパ設定、スイッチ設定により信号をコントロールする工夫を行い、量産基板ではピン治具などで信号を制御するためのテストパッドを設けるとよい。

## 5 DFT-3 設計上の注意点

JTAGテストを行うためには、JTAGの制御信号であるTAP (Test Access Port) 信号をJTAGコントローラと接続する。JTAGインターフェースは5本 (TDI, TDO, TMS, TCK, TRST) もしくは4本 (TDI, TDO, TMS, TCK) の信号から構成されている。

```
attribute DESIGN_WARNING of SA1110: entity is -- (ref B.8.18)
" 1.IEEE 1149.1 circuits on SA1110 are designed " &
" primarily to support testing in off-line module " &
" manufacturing environment. The SAMPLE/PRELOAD " &
" instruction support is designed primarily for " &
" supporting interconnection verification test and not " &
" for at-speed samples of pin data. " &
" 2.Ensure to drive BATTf and VDDf to logic level 0 else the chip " &
" will sleep! ";
```

図4 BSDLファイルより抜粋したデザインワーニングの例

```
attribute COMPLIANCE_PATTERNS of XC2S150 : entity is
"(PROGRAM_B) (1)";
```

図5 BSDLファイルより抜粋したコンプライアンスパターンの例

```
"( PIN1 , PIN2 , PIN3 ) ( 1 , 0 , 1 )"
PIN1=High レベル, PIN2=Low レベル, PIN3=High レベルに
信号をドライブする必要がある。
```

図6 複数ピンを指定するBSDLファイルの記述例

実はIEEE Std. 1149.1 規格では、TAPの接続方法についての詳細は記載されていない。JTAGテストのために基板にコネクタを実装する、テストパッドを配置するなど、JTAGコントローラとの接続方法はユーザーに委ねられている。多くの場合、試作基板にはJTAG ICE用のコネクタやFPGAダウンロード用のコネクタが実装されているため、JTAGコントローラのために特別にコネクタを用意する必要はない。量産基板については、TAP信号用のテストパッドを設けて、ピン治具を介してJTAGコントローラを接続すればよい。

JTAGインターフェースを高速で動作させるためには、TAP信号に対して終端処理を行うとよい。各デバイスメーカーの推奨回路、もしくは図7のJTAG Technologies社の推奨回路を参考にして欲しい。終端回路に処理が必要となる理由の詳細については、当社の「JTAG技術レポート 2号」にて解説しているので、当社ホームページよりお申込みいただきたい。

JTAGテストは通電試験のため、基板の電源回路とリセット回路を動作させる必要がある。JTAG対応部品には、JTAGテストモードに移行させる端子処理を行った状態で、電源を供給してリセットを解除させる必要がある。JTAG対応部品がJTAGテストモードになると、通常動作時の内部ロジックと切り離され、端子の状態をパソコンからスキャンできる。さらに、指定した端子からHレベル/Lレベルの信号を出力したり、ハイインピーダンス状態に変化させることができる。

その他、JTAGテスト実行時に注意すべき点は、検査対象の基板の電源投入手順やクロック供給、リセット処理などが正しく行われていないとJTAGテストが正しく機能しないことである。これは、通常のファンクションテストと同様の条件である。

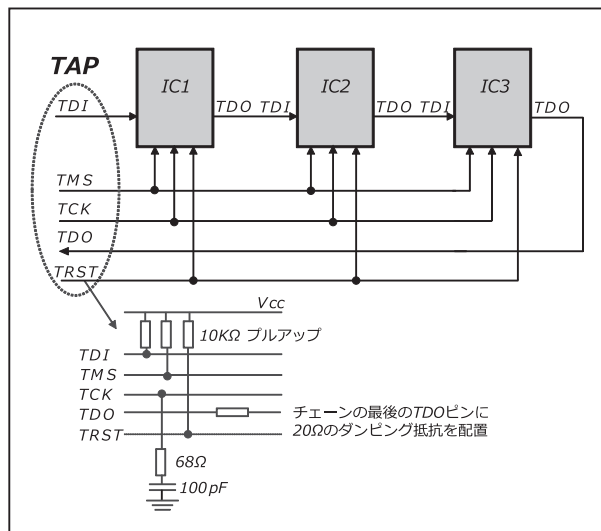


図7 TAP信号の終端処理の推奨回路



F E A T U R E

が必要である。

特にCPUなどには、サスペンドモードやスリープモードなどの省電力機能がデバイスに搭載されており、これらの動作モードではJTAGテストの機能も停止してしまうことがある。

図8のチェック項目を事前にレビューしておくことで、JTAGテストの準備期間を短縮することができる。これらの注意点はBSDLファイルに記載されておらず、データシートの情報を調べないとわからないこともある。設計時には、BSDLファイルを入手すると一緒に、データシートの「JTAGテスト(バウンダリスキャン)」についての注意点を確認するとよい。

## 6 DFT-4 DFTの結果を確認する

DFTを考慮した回路設計を確認するために、もっとも簡単

### JTAG テスト容易化設計 DFT のチェックポイント

1. テストモードに移行するための端子処理がされていること
2. 全ての電源系統が基板に供給できること
3. JTAG 対応部品にクロックが正しく入力されること
4. JTAG 対応部品のリセットが解除されること
5. ウォッチドッグタイマー、割り込みが働かないこと
6. サスペンド、スリープモードにならないこと
7. JTAG テスト中に電源が落ちないこと

図8 JTAGテストのDFTチェックポイント

### 181,071 種類を超える部品ライブラリ数

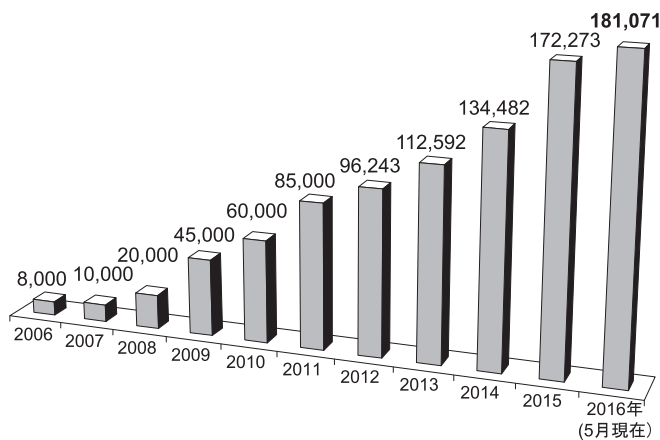


図9 18万種類を超える部品ライブラリ

な方法はJTAGテストパターンを生成することである。実際にJTAGテストパターンを生成すると、JTAGテストの可否、DDRメモリを含む周辺回路のテスト可否がわかる。

JTAG Technologies社製「JTAG ProVision」は、JTAGテストに非対応のクラスタ部品のライブラリが18万種類用意されている。ユーザーが部品ライブラリを作る必要はなく、データシートを元にメーカーがライブラリを無償で作成している。日本を含む世界中のユーザーからのリクエストに応え続け、部品ライブラリが急速に増えている(図9)。

圧倒的な部品ライブラリのサポートにより、ユーザーは回路図の完成と同時にJTAGテストパターンを自動生成することができる。他のテスト手法とは異なり、回路設計者が基板製造前のアートワーク中にJTAGテストの準備を整えることができるのである。JTAGテストは、マイコンのファームウェアやFPGAのロジックは準備する必要がなく、試作基板の受入れ検査としても活用できる。

## 7 DFT-5 デザインレビューを行う

(株)図研が提供するシステムレベル設計環境「CR-8000」は、高難易度化する電子機器設計をサポートするため、デバイスベンダーやEDA/CAEツールベンダーのツールと密な連携を図っている。JTAGテストツールは、JTAGテスト統合環境「JTAG ProVision」との連携を実現している。図研が提供する追加機能「バウンダリスキャン・アドバイザー」には、「CR-8000」の回路図CAD「Design Gateway」に「JTAGテストカバレッジ表示機能」「JTAGテスト結果表示機能」の2つの機能を追加することができる(図10)。

運用手順は「Design Gateway」で設計した回路図からネットリストファイル(.edsもしくは.ccf)を出力して、ProVisionに読み込み、部品ライブラリの検索を行い、JTAGテストパターンを作成する。

次にJTAG ProVisionのテストカバレッジ結果ファイル(.img)を出力して「Design Gateway」から読み込むことができる(図11)。

## バウンダリスキャン・アドバイザー

ZUKEN.

<新機能1>

### ・JTAGテストカバレッジ率表示機能

JTAG ProVision 上でのJTAGテストのカバレッジ率をDG上でマーク表示。

<新機能2>

### ・テスト結果表示機能

JTAG ProVision でのテスト結果(該当するネット、部品)をDG上でマーク表示。

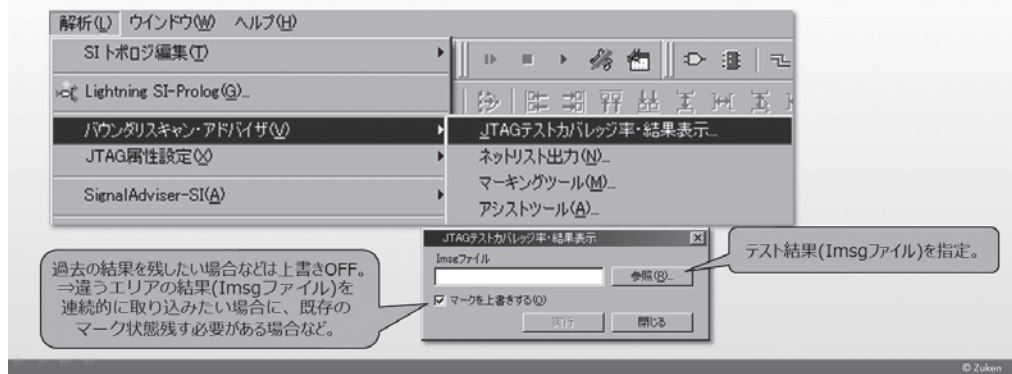


図10 バウンダリスキャン・アドバイザーの機能

## DG⇔JTAG ProVision運用イメージ

ZUKEN.

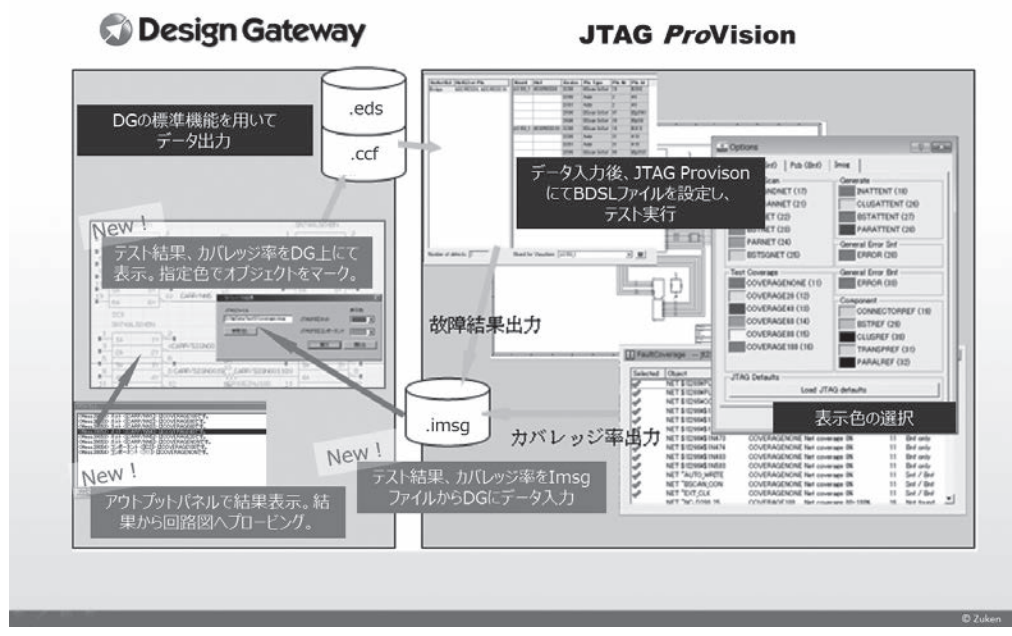


図11 「Design Gateway」と「JTAG ProVision」の運用イメージ

F E A T U R E

「Design Gateway」と「JTAG ProVision」がシームレスに連携しているため、すぐに回路図にJTAGテストカバレッジの色分け表示ができる(図 12)。

この結果をデザインレビューのインプット項目にすることで、設計時に製造検査の効率化を最大限に考慮できる。

回路設計者は、JTAGテストカバレッジをレビューして、検査をする必要がある重要な回路がテスト範囲に含まれていない場合には、回路を工夫することで検査対象とすることができ。再度、修正した回路図からネットリストを出力して、「JTAG ProVision」に読み込むと回路変更した結果に対応したJTAGテストパターンをすぐに生成できる。

このレビューと回路変更のサイクルを繰り返すことにより、基板製造前に品質向上と検査コスト削減を確実に実現することができる(図 13)。特にプローブピンが使用できない高密度な基板においては、DFTとテストカバレッジのレビューが製品のライフサイクルにおける品質向上とコスト削減、直行率の改善を成功させるポイントである。

回路設計者のメリットとしては、実装不良の有無を実装基板の受入れ検査で実施でき、デバッグを開始する前に物理的な不良が無い基板でデバッグを進められるため、デバッグ期間を短縮することができる。設計者がJTAGテスト対応部品を自由自在に制御できるため、周辺回路のデバッグを容易に進めることができる。

また、周辺回路に対するテストパターンが部品ライブラリから自動生成されるため、設計ミスに気づきやすいというメリットもある。

受入れ検査で使用したJTAGテストパターンは、量産検査としても使用できるため、設計者が量産試験の準備にかかる工数を削減できる。特にファンクションテストを設計者が作成する企業にとっては、ファンクションテストの規模を大幅に縮小できることになる。

さらに製造不良の故障解析を設計者が担当する企業では、JTAGテストにより故障解析を自動化できるため、設計者の負担を低減する。

新製品の開発サイクルを早めるためには、設計者の負担を少しでも減らして、製品開発に集中できる環境を整えることが重要である。JTAGテストにより、新製品の開発サイクルを短縮することが企業の利益となる(図 14)。

8 DFTによる設計者のメリット

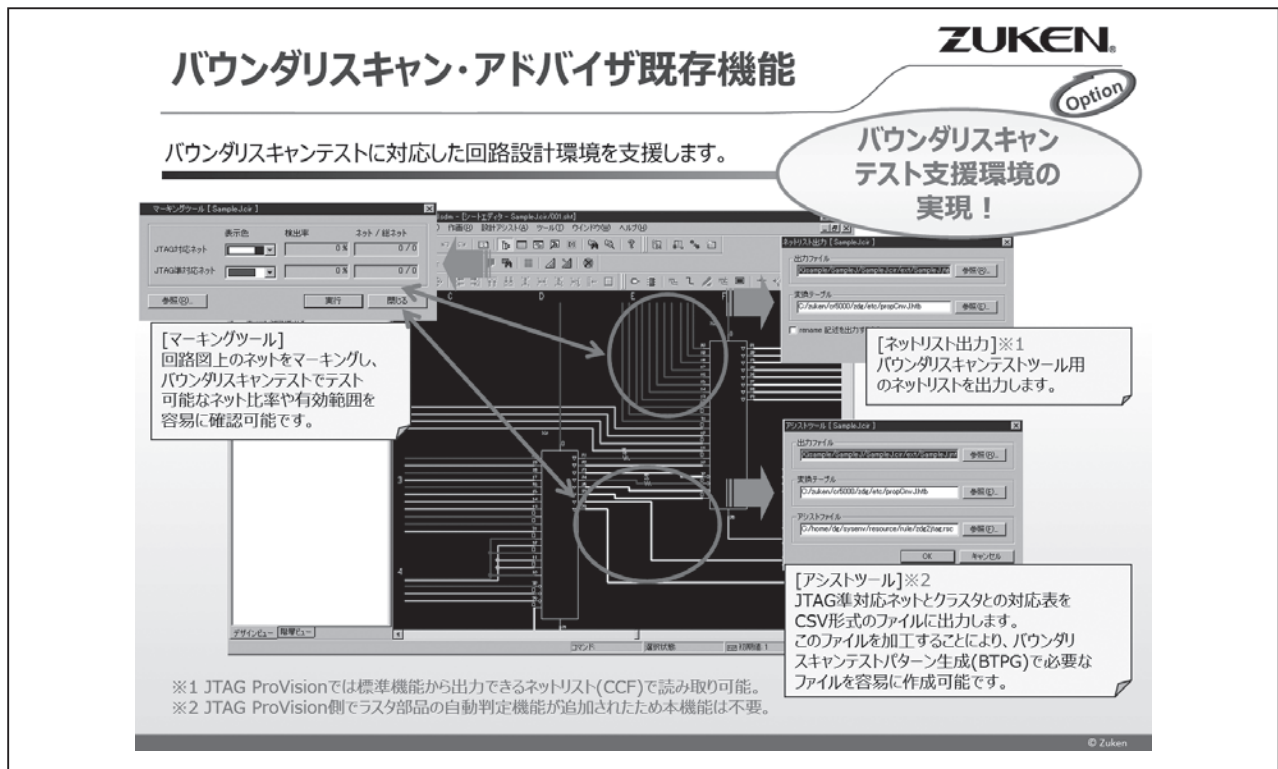


図 12 「Design Gateway」にJTAGテストカバレッジを表示

## 9 JTAGテストによる製造現場のメリット

JTAGテスト導入後の製造現場のメリットも大きく、当社のJTAGユーザーからは「ハンダオープン・ショート、実装不良を確実に検出できた」「不良箇所を短時間で発見でき、修理時間が圧倒的に短縮できた」「BGAや極小部品は目視での確認ができないため今後の実装基板検査にはJTAGテストが必須になる」という声を頂くことが多い。

基板が高密度化するとプローブピンが当たれなくなり、複雑な基板ではプローブピンが増えてしまうと直行率が低下す

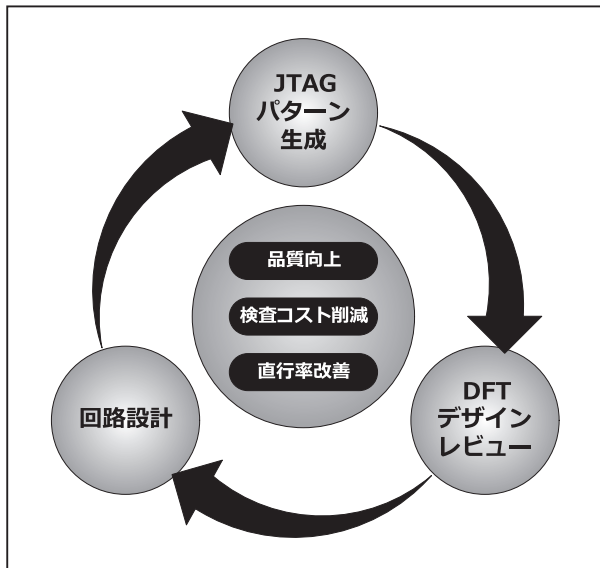


図13 DFTデザインレビューによる改善サイクル

るなどプローブに起因する課題が増えてくる。また、BGA基板の故障解析では、BGAオープクラック箇所を特定することが難しく、製造ラインにフィードバックできないことが多い(図14)。JTAGテストでは、故障箇所を自動診断できるため、BGAオープクラック箇所の統計データを取り、製造ラインにフィードバックすることができる。

## 10 まとめ

JTAGテストツールは、安価なものから高級なプロ用のツールまである。選定のポイントは、テスト生成が容易に出来ること、量産現場で使える安定したツールであることが求められる。また、企業の量産現場でJTAGテストを活用するためには、様々な基板構成に対するテストのノウハウとサポート体制が重要となる。当社では多くの国内企業に導入実績があり、ホームページ上で導入企業の事例集を公開して、JTAGテストの導入経緯と導入効果を紹介している。ツール選定の際に参考にして頂きたい。

JTAGテストを導入して成功している企業では、製品のライフサイクルの最初の段階でDFTを実践することをルール化しており、デザインレビューの1項目にDFTというキーワードを挙げて取り組まれている。最大限にJTAGテストを活用できる環境が整うと「開発期間の短縮」「検査準備の工数削減」「検査時間の短縮」「故障解析の工数削減」「製品品質の向上」の効果がもっとも大きくなる事が分かる。つまり、試作基板の設計段階からDFTを実践することが、企業全体の利益に直結することがわかる。

設計現場が抱えるJTAGテスト導入前の課題と導入後のメリット	
<b>【JTAGテスト導入前】</b> <ul style="list-style-type: none"> <li>・試作基板の受入れは目視検査しかできない</li> <li>・量産試験の準備に時間がかかる</li> <li>・故障解析に時間がかかり、開発が進まない</li> </ul>	<b>【JTAGテスト導入後】</b> <ul style="list-style-type: none"> <li>・JTAGテストを受入れ検査で実施できる</li> <li>・テストを自動生成して準備工数を削減できる</li> <li>・1クリックで自動診断でき解析時間を削減できる</li> </ul>
製造現場が抱えるJTAGテスト導入前の課題と導入後のメリット	
<b>【JTAGテスト導入前】</b> <ul style="list-style-type: none"> <li>・BGAパッケージはプローブできない</li> <li>・プローブピンが増えると直行率が低下する</li> <li>・X線検査はBGAオープクラックが分からない</li> </ul>	<b>【JTAGテスト導入後】</b> <ul style="list-style-type: none"> <li>・BGA端子をプローブピンとして活用できる</li> <li>・プローブピンを削減して直行率を改善できる</li> <li>・通電試験によりクラック箇所を特定できる</li> </ul>

図14 JTAGテストによる設計現場と製造現場のメリット