

# 0.5mmピッチBGA基板のトラブルを解決する JTAGハイブリッド検査装置の開発事例

アンドールシステムサポート(株) / 谷口 正純、(株)ニューリー・土山 / 内山 浩志

## 1 部品の微細化による問題

電子機器の小型化により、「0603サイズ以下の微小チップ」、「0.5mm狭ピッチ以下のBGAパッケージ部品」など、部品の微細化が進んでいる。部品の微細化の影響で、実装不良が急増している。しかし、基板の小型化により、基板には部品番号のシルクを印刷するスペースもなくなり、プロービングするためのテストランドを設けることも年々困難になっている。このような実装基板の検査が困難な時代においても、製品の品質を向上しながら、製品の競争力を高めるために、JTAGテストを活用したハイブリッド検査を使用する企業が増えている。今回は「JTAGテストの最新動向」と「JTAGハイブリッド検査装置の開発事例」を紹介する。

## 2 BGA基板の構成と電気検査

一般的なBGA実装基板の構成は、図1のように高密度でBGA部品から構成されるデジタル回路、チップ部品とSOP部品から構成されるアナログ回路の2つのブロックから構成されている。デジタル回路には、製品のプログラムを実行するためのプロセッサ、FPGA、DSPを中心として多ピンBGA部品が使用されている。また、プログラム格納用のフラッシュ

メモリ、プログラム実行と画像処理用のDDRメモリから構成される。このDDRメモリは、JEDEC規格によりBGAパッケージが標準部品として規定されているため、BGAパッケージ部品を採用せざるを得なくなっている。デジタル回路は、基板の中では最も実装密度が高く、検査が困難なブロックである。

アナログ回路には、電源を生成する回路があり、外部電源を入力して、プロセッサやFPGAなど使用するための複数の電源を生成している。電源を生成するためのレギュレータ、パワーマネジメントICは、SOIC、SOP、DIPパッケージの部品が多く、基板の中では実装密度が低いブロックとなる。また、センサ制御、モータ制御、音声などのアナログ信号の制御をアナログ回路で行っている。使用している部品は、A/Dコンバータ、D/Aコンバータ、オペアンプ、トランジスタ、抵抗、コンデンサ、ダイオードなどが多い。BGA部品は使用されることは少なく、基板の中では実装密度は低い。

デジタル回路は、実装密度が非常に高く、BGA部品が中心であり、実装後にプロービングできないため、実装基板検査を困難にしている。また、基板の小型化により、テストランドを配置するスペースが年々減少しており、デジタル回路のテスト手法として規格化されたJTAGテスト(バウンダリスキャンテスト)が最適な電気検査の方法となる。また、アナログ回路

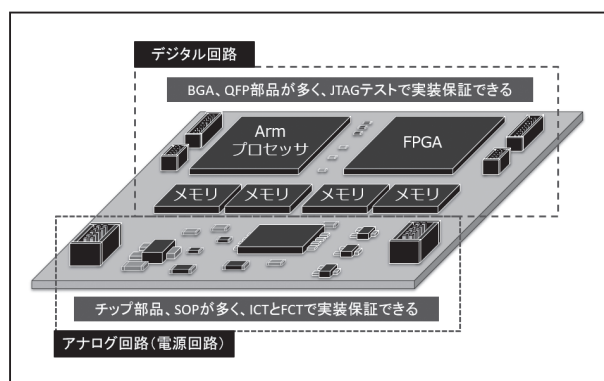


図1 一般的なBGA基板の構成

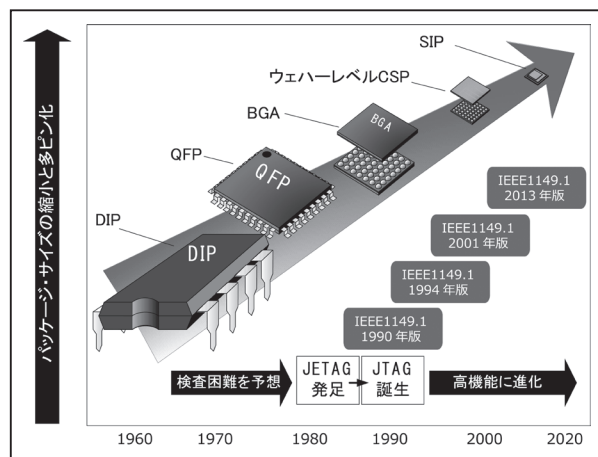


図2 JTAGテストの誕生と部品パッケージの進化

は、実装密度が低く、テストパッドを配置してプローブピンをコンタクトすることができるため、治具式もしくはフライングプローブ式のインサーキットテスト(ICT)とファンクションテスト(FCT)が最適な電気検査の方法となる。

では、JTAGテストとはどのような仕組みであるか、また、どのような特徴があるか解説する。

### 3 JTAGテストの仕組み

近年のBGA基板に対するプローブピンによるアクセスの問題を解決するため、1985年にJETAG(Joint European Test Action Group)という次世代の部品パッケージの検査方法を検討する団体が、ヨーロッパの先端企業を中心に立ち上がった(図2)。その後、1986年には米国の企業が加わり、JTAG(Joint Test Action Group)という団体名に変わり、1990年にはQFP、BGAパッケージの部品を含

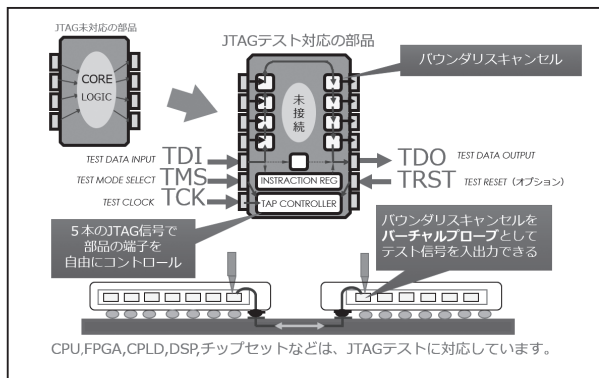


図3 JTAGテストの仕組み

む高密度実装基板のテスト手法として「IEEE 1149.1」で規格化された。規格は2013年にアップデートされ、部品の真贋判定のためのECID(Electronic Chip ID)が追加されている。バウンダリスキャンテストのことを、団体名から「JTAGテスト」とも呼ばれている。現在では多くのLSIメーカーがIEEE1149.1に準拠したデバイスを数多く供給しているため、JTAGテストは一般的なテスト手法の1つとなった。JTAGテストは、図3のようにTAP(テストアクセスポート)である4本のJTAG信号(TDI(テストデータ・インプット)、TDO(テストデータ・アウトプット)、TCK(テストクロック)、TMS(テストモード・セレクト)から部品内部のバウンダリスキャン回路を制御する仕組みである。部品によっては、オプションでTRST(テストリセット)を含む5本の信号を使うこともある。JTAGテスト対応部品には、バウンダリスキャンセルというテスト用の信号を入出力させるための回路が内蔵されており、部品の端子をインサーキットテストのプローブピンのように利用して、電気試験ができる検査手法である。テスト中は内部ロジックが切り離され、パソコンからJTAGテストコントローラを介して、部品の端子をテストプローブ(バーチャルプローブ)として自由に信号を入出力できる。そのため、テスト用のソフトウェア開発やFPGAのテスト用のロジック設計は不要となり、準備コストを大幅に削減できる。

### 4 最新のJTAGテストツール

JTAGテストツールは、オランダのJTAG Technologies社より最新版の「JTAG ProVision 2020」がリリースした。量産試験だけではなく、図4のように設計開発時のデバッグ

機能、信頼性試験で活用できる機能、故障解析の機能などが増え、ますます使いやすいものになっている。テストアプリケーションは部品ライブラリから自動生成され、テストカバレッジの診断、故障箇所の自動診断機能により、テストの自動化が進んでいる。

JTAGテストは量産検査で使うものというイメージだったが、試作段階の回路デバッグ、環境試験、故障解析など、様々なシーンで活用することができる。

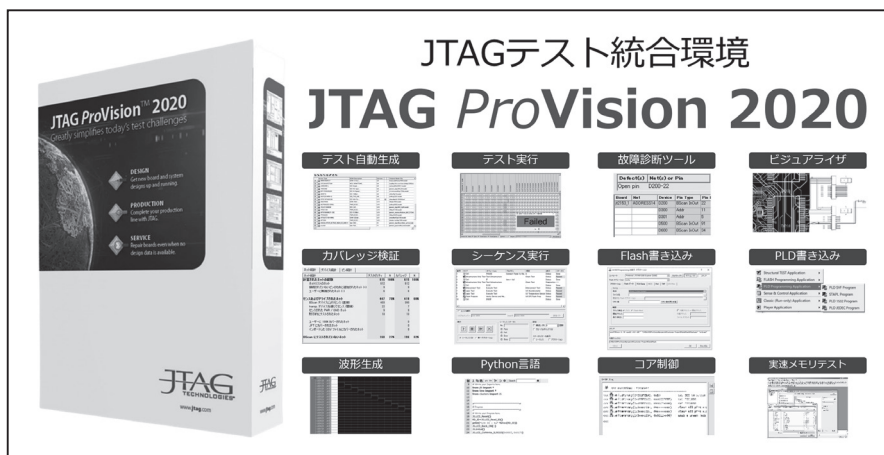


図4 JTAGテスト ProVision2020

JTAGテストは、JTAGテスト対応部品間のテストであるインターコネクトテストの他に、JTAGテストに非対応部品のライブラリが28万種類用意されている。この部品ライブラリを利用して、DDRメモリ、周辺ロジック回路、フラッシュメモリなどのテストアプリケーションが自動生成される。飛躍的にテストカバレッジが拡大し、さらにテストデータの準備にかかる工数を大幅に削減できるようになった。

JTAGテストを実行すると、図5のように通電試験により端子レベルで不具合箇所を特定することができる。故障解析の結果は、オープン不良(はんだ未接合)、ブリッジ不良(はんだブリッジ)、電源とショート、GNDとショートがテスト結果から自動的に故障診断される。また、基板を製造する際に使用するレイアウトCADデータと連動して、基板上のどの場所にどのような不良があるか表示することもできる。

## 5 JTAGテストの5つのポイント

JTAGテストの規格が誕生してから30年が経ち、JTAGテストを容易に採用できる環境が整うようになった。過去には、JTAG対応部品は少なく、テストデータを手動で作成するために専門の技術者が必要になるなど、JTAGテストを使うためには多くの障壁があった。しかし、この状況はJTAG対応部品の普及とJTAGテスト統合環境「JTAG ProVSION」の誕生により変化した。図6に「JTAGテストの5つのポイント」を示す。

BGA部品の多くはJTAG対応になり、被検査基板上のBGA部品がバーチャルプローブとして機能するため、JTAGテストを実行する環境がある。JTAGインタフェースは、テストのためだけでなく、FPGAのダウンロードやCPUのデバッグプローブ、エミュレータを接続するために普及している。一般的に、被検査基板にはJTAGコネクタが実装されて

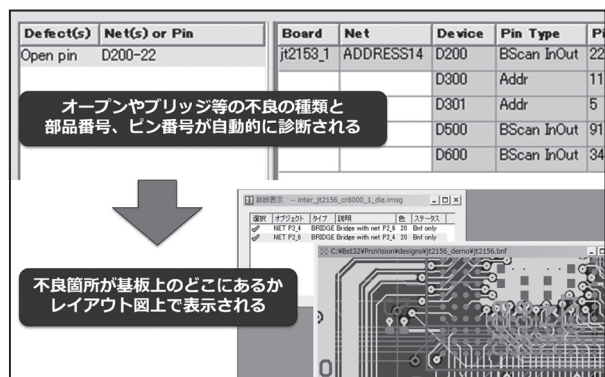


図5 JTAGテストツールの故障診断機能

いるか、JTAG信号がテストランドからコンタクトできるようになっているため、多くの場合は特別な回路の変更は必要ない。

実装基板用の検査設備の中では、最も小さく、手のひらに収まるサイズであり、JTAGコントローラを被検査基板と接続するだけでテストできる。したがって、量産だけではなく、試作基板のテスト、デバッグ、メンテナンス時の故障解析まで、幅広いシーンで共通のテストツールとして活用することができる。

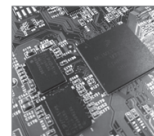
JTAGテストを実行するためには、JTAGテストアプリケーションを準備する必要があるが、テストツールが進化したため、部品ライブラリから自動生成できるようになった。自動生成するためには、基板を製造するために使用するネットリスト(回路CADから生成される配線情報)、JTAG対応部品の内部のテスト回路情報が記載されているBSDLファイル(デバイスメーカーより提供、ダウンロードできるファイル)をテストツールにインポートして、ウィザード形式でテストアプリケーションが自動生成される。最新のJTAGテストツールでは、JTAGテスト対応部品間のテストであるインターコネクトテストの他

## JTAGテスト 5つのポイント

### ポイント1

#### BGA部品がバーチャルプローブになる

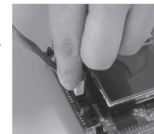
FPGA、cPLD、CPUは、JTAGテスト機能が内蔵されており、部品の端子をバーチャルプローブとしてテストに使うことができる。



### ポイント2

#### 基板上のJTAGコネクタから検査できる

FPGAのダウンロード用コネクタ、JTAG ICE用のコネクタからJTAGテストを実行可能。量産テストではピン治具からテストできる。



### ポイント3

#### 持ち運びできるJTAGコントローラ

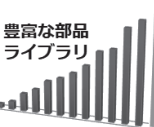
USBで制御する小型のJTAGコントローラと被検査基板を5本のJTAG信号を接続して作業場所を選ばずにテストできる。



### ポイント4

#### テストアプリケーション自動生成

回路図CADから生成したネットリストと28万種類を超える部品ライブラリからテストアプリケーションが自動生成される。



### ポイント5

#### BGA基板の故障解析を自動化

基板上の不良箇所を自動診断できる。実装不良がある部品番号、ピン番号と故障モードが瞬時に表示されます。



図6 JTAGテストの5つのポイント

に、28万種類を超えるJTAGテストに非対応部品のライブラリを利用して、DDRメモリ、周辺ロジック回路、フラッシュメモリなどの周辺回路をテストするための、クラスタテスト、メモリテスト、フラッシュテスト用のアプリケーションが自動生成され、テストカバレッジを広げることができる。

JTAGテストを実行すると、通電試験により端子レベルで不具合箇所を特定することができる。不具合解析の結果は、オープン(はんだ未接合)、ブリッジ(はんだブリッジ)、電源/GNDとショートが自動的に診断される。基板を製造する際に使用するレイアウトCADデータと連動して、基板上のどの場所に不良があるか表示することもできる。

## 6 0.5mmピッチBGAの実装トラブル増加

現在、多くの企業で課題となっているのが、CPU、FPGAとDDRメモリの構成である。特に部品の小型化が進み、0.5mmピッチ以下のBGAパッケージ部品の実装トラブルが急増している。いずれの部品もBGAパッケージが標準化されており、プローブピンでは触れないため、検査や故障解析が非常に困難な状況になっている。

しかし、CPUとFPGAはJTAGテストに対応している部品が主流になっており、DDR3までのメモリについては、JTAG対応のBGAデバイスの端子に内蔵されたパウンダリスキャンセルを内蔵プローブとして利用して、JTAGテストに非対応のDDRメモリに対してリードライトテストを行うことができる。また、DDR4メモリについては、JEDEC規格によりJTAGテストに対応するためのテストモードを備えるようになり、JTAGテストで実装保証することができる環境が整ったといえる。

電気検査によりBGA部品の型番、実装方向、部品内部のボンディングワイヤーのテストとBGAのはんだオープン、ブリッジ、基板のパターン不良など、様々な故障箇所を検出することができるため、近年の実装基板に対する有効なテスト手法の1つとなっている。

## 7 JTAGハイブリッド検査装置

実装基板の検査方法は、図7のように画像検査の外観検査(AOI)、X線検査と電気検査のインサーキットテスト、ファンクションテスト、JTAGテストがある。電気検査工程の役割の多くは、JTAGテストがカバーできるようになった。画像検査のAOIを用いて、チップ部品の立ち、ショート、リード浮き、余剰部品の有無をテストし、AOIでは検査できないBGA部品はJTAGテストでカバーする。JTAGテストはオープン・ショートテスト、部品の極性、機能不良、部品破損、プリント基板のパターン断線、部品内部のボンディングワイヤーの断線などをテストしている。JTAGテスト規格ではカバーできない回路と検査の役割は、ファンクションテスト、インサーキットテストでカバーすることにより、テストカバレッジ100%のJTAGハイブリッド検査を実現することができる。

## 8 高品質の検査設備

様々な企業が「お客様が求める高い品質」のモノづくりを実現するため、検査機メーカーと共に高い品質の検査装置、検査治具を開発している。今回、狭ピッチBGAの課題解決と将来のさらなる高密度化、高機能化に備えた「JTAGハイブリッド

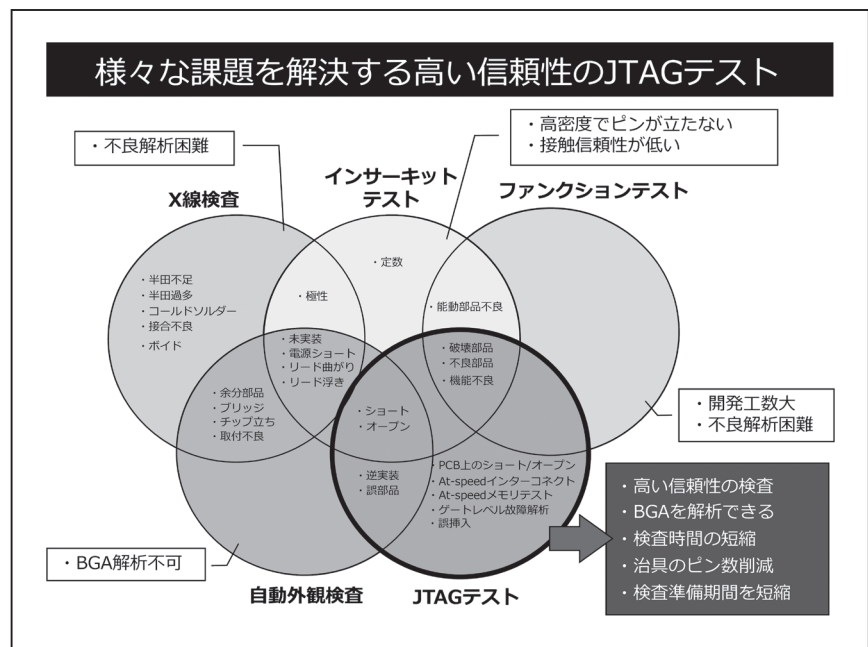


図7 JTAGテストのテストカバレッジ

## FEATURE

検査装置」を検査機メーカーの(株)ニューリー・土山と開発した。

図8がJTAGテストとファンクションテストと電源ショートテストを組み合わせたハイブリッド検査装置である。JTAGテストは専用の検査治具を検査工程に追加する方法もあるが、JTAGテストと同様に通電試験であるファンクションテスト用の検査治具にJTAGコントローラを組み込み、図9のファンクションテスト用のユーザーインターフェースからJTAGテスト用のコマンドを実行し、ファンクションテストにJTAGテストの機能を付加してJTAGハイブリッドテスト装置を開発することができた。

狭ピッチBGAや微細チップを実装した基板用の検査治具を製作する際には、(株)ニューリー・土山では3つのポイント「被検査基板を損傷させない」「測定ポイントに正確にコンタクト

する」「正しく配線する」を配慮した治具の設計と製作を行っている。この製作する際の3つの重要なポイントについて、下記に紹介する。

## 9 基板を損傷させない検査治具の品質

検査治具に求められる要件の中で特に重要なのが、検査中に「被検査基板を損傷させない」ことである。基板をコンタクトするプローブは3分の2ストロークすると、1本あたり180gで、プローブ本数が300本の場合で54kgとなる。人間の体重程度が荷重されることになり、基板が大きいたわむことが容易に想定される。

そこで、検査治具の製作前に図10の歪シミュレーションソフトを用いて、基板上に発生する「歪」の相対値をグラフィカルに可視化し、危険領域の洗い出しを行っている。基板に加わる負荷を最小限に抑えるため、下面からのプローブに対しては上面から「プレスバー」と呼ばれる柱上のバーで押さえ、上面からのプローブに対しては下面の「受けバー」で支持している。基準値を超える歪が発生する場合は、「プレスバー」や「受けバー」のサイズの最大化や位置修正を行い、データ上でシミュレーションを行い、「歪」を取り除くことができる。しかし、シミュレーションで「歪」の値が減少しない場合は、お客様と協議し、低圧力のプローブに変更するなど対策を講じている。さらに、歪ゲージによる実測で、データの裏付けを行い、治具を製作している。

また、基板上に実装された各種部品の中には、部品高さが高いものも存在するが、検査の際、高さのある部品は、プローブプレート、サポートプレートに接触し、破損してしまう危険性がある。

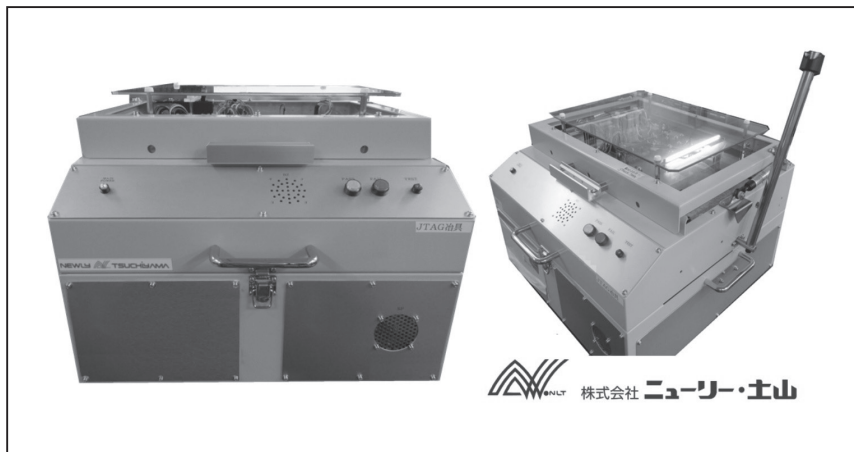


図8 JTAGテスト ハイブリッド検査装置

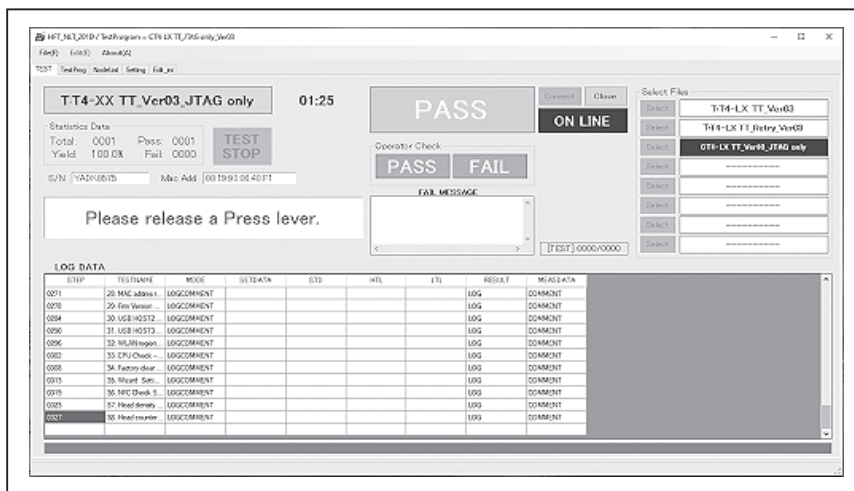


図9 ファンクションテスト用のユーザーインターフェース

図11のように専用開発した三次元測定器で、基板サンプルの高さ方向とその位置データを測定し、干渉部分をNC加工機

のデータとして正確に出力する。また、加工後のプレートは再び三次元測定機でスキャンし、座グリ加工の位置・大きさを検証。部品との干渉がない事を確認して、基板と部品の破損を未然に防いでいる。

## 10 正確にコンタクトする 検査治具の品質

被検査基板とコンタクトするプローブは、プローブプレートと呼ばれる樹脂製の平板に打ち込まれたソケットに挿入する形で使用する。このため、プローブが測定ポイントにコンタクトするか否かは、ソケット用穴の加工精度に大きく依存する。基板のCADデータを解析し、プローブポイントの位置座標、プローブ径、必要なプローブ数を正確に割り出し、これを元に、

ソケットは、穴加工が施されたプローブプレートに手動で圧入するため、穴の加工精度は高精度NC機により担保されているが、圧入後の重心点がずれている可能性がある。そこで、圧入されたソケットを、図12の高分解能力カメラ搭載アライメントチェッカーで自動スキャンし、光学的センシングにより10ミクロンレベルで偏心していないかを調べている。基準値を越えて偏心しているソケットが存在した場合、ディスプレイ上にアラートが表示され、これを専用の工具を用いて微調整する。さらに、最終工程にてベアボードに実際にコンタクトさせ、プローブの打痕位置を確認している。

## 11 正しく配線する検査治具の品質

配線対象はプローブの本数分と同じソケット端と、テスター側のコネクタであり、本数にして数百本に及ぶため、配線データの作成時には、設定ミス・漏れ等のヒューマンエラーを招きやすくなる。そこで、専用ソフトで合理的な経路と配線手順をプログラミングして、すでに割り出されているプローブポイントの座標(=配線するソケットの座標)と、接続先となる検査機のインタフェースPIN座標を紐づけることで、実際に配線される様子を2次元に自動描画するソフトウェアを活用して、短経路での配線を前提としつつも多数の配線が複雑に交差しないよう、また作業者が配線しやすい順番をシミュレーションし、理路整然とした配線データを作成している。ここで生成された配線データは、そのまま配線作業を支援する半自動配線機に送られる。



図10 歪シミュレーションソフトウェア

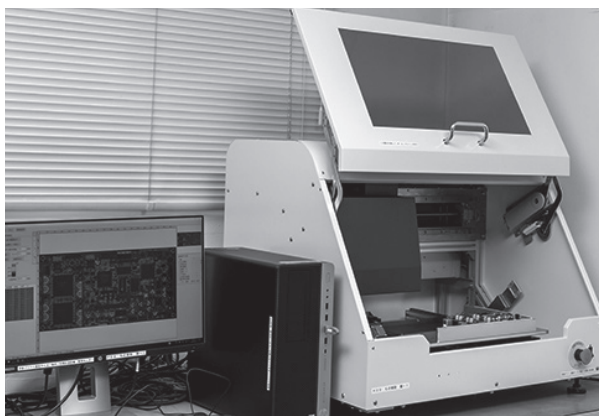


図11 3次元測定器による部品の高さと位置の測定



図12 アライメントチェッカーと打痕位置確認用光学顕微鏡

ソケットにリード線を巻きつけるラッピング作業は、手作業で行うため配線ミスが生じる場合があり、数百本に及ぶラッピングは、作業者に負担を強いるため、負荷軽減と作業精度の維持が課題となる。図13の独自開発の半自動配線機は、次に結線すべき配線箇所を作業者の眼前に自動的に移動させることができるため、作業者は配線箇所を逐一確認することなく、同じ作業位置でラッピング作業に集中できる。作業者の横にはディスプレイを配備し、配線対象となるソケット位置を拡大表示することで、ソケットが密集した箇所でも一目瞭然で確認できる。配線作業が終了後には、すべてのソケットに対して、作業者の裏側(プローブがコンタクトする側)から自動的にチェック用プローブを当て配線チェックを行っている。

## 12 JTAGテスト導入における品質・コスト・生産面でのメリットとデメリット

JTAGハイブリッド検査を導入したメリットとデメリットをユーザー企業と分析した。その結果、品質面のメリットは、BGAの電気検査ができ、プローブピン削減による接触不完全の排除と基板ストレスの低減が挙げられ、デメリットとなる側面は無かった。コスト面では、治具製作費用の低減と検査時間の短縮によるコスト低減の半面、一時的に設備費用が増えるというデメリットがあった。JTAGテストツール「JTAG ProVision」はテストアプリケーションを生成するための開発パッケージと、生産ラインで使用するテスト実行パッケージがあり、最初の設備には開発パッケージが必要になる。しかし、X線検査装置やインサーキットテストと比べると初期投資額は少なく、検査ラインごとに実行パッケージを1つ準備する必要



図13 半自動配線機によるラッピング作業

があるが、複数製品の検査で活用できるためコスト面のデメリットのインパクトは小さかった。

次に生産性と生産効率のメリットは、JTAGテストではテストパターンが自動生成されるため、ファンクションテストのようなテスト用のソフトウェア開発が不要になり、準備期間の短縮と手離れの改善ができた。JTAGテストは、検査治具を製作せずにケーブル接続でテストが可能となるため、量産試作の段階から活用できた。半面、デメリットは設備費用を抑える場合にはJTAGテストシステムを複数の製品検査で使用する必要がある。複数の製品を同時に検査するためには、JTAGテストシステムを複数購入しなければならない。しかし、低コストのJTAGテスト実行パッケージを追加することにより、複数ラインへコストを抑えて設備導入をすることができた。

このように、JTAGテストは品質面、コスト面、生産効率の全ての面で効果があることが分かり、幾つかのデメリットもあるが、運用方法により解決することができた。運用した結果から、準備工数、検査工数、故障解析の工数の削減と検査品質の向上により、JTAGハイブリッド検査装置の初期投資に対する効果が得られていることが分かった。

## 13 まとめ

近年の部品の微細化、基板の高密度化に対応できる検査工程の取り組みとして、「JTAGハイブリッド検査装置」を開発した。すでに、多くの企業で採用され、BGAの実装不良箇所を特定して、製造ラインにフィードバックができ、製品の品質が向上したという称賛の声を頂いている。企業がさらなる製品の品質向上と競争力の高いモノづくりを実現するため、検査機メーカーでは検査治具の品質管理を徹底するための様々な努力を続けている。

今回ご紹介した高い品質の検査治具の製作については、(株)ニューリー・土山のホームページに「検査治具製作の3つのポイント」について、動画で詳しく解説されている。基板検査装置と治具製作を検討する際には、ぜひ参考にさせていただきたい(<https://www.newly-t.com/>)。

JTAGテストの詳細については、アンドールシステムサポート(株)が「いつでも どこでも 見られる!オンデマンドWebセミナー」をYOUTUBEで公開している。JTAGテストの基礎が分かる入門編をはじめ、成功事例編、JTAGテストツール編、設計時のポイントを解説するテスト容易化設計編など、豊富なラインナップとなっているので視聴していただきたい(<https://www.andor.jp/jtag/jtag-webinar/>)。