

JTAGテストを活用した「ムリ・ムラ・ムダ」のない実装基板検査

アンドールシステムサポート(株) / 谷口 正純

1 はじめに

BGAパッケージ部品が実装された高密度実装基板において、実装不良によるトラブルが増えている。不良品の市場流出を防ぎ、不良発生率を抑える的確なフィードバックを行うための検査方法を確立することが重要になる。各検査機のテスト範囲の違いを把握し、JTAGバウンダリスキャンテスト(JTAGテスト)を活用した「実装基板検査のムリ、ムラ、ムダ」を削減する方法を紹介する。また、どのようにテスト戦略を考えるべきか、海外と比べて遅れているテスト容易化設計 DFT (Design For Testability)の考え方を解説する。

2 高密度化とテスト戦略の重要性

エレクトロニクス実装学会の検査技術委員会が実施した実態調査の結果を2021年7月号で紹介した。チップ部品のサイズについては、部品の入手性とコストの影響により、我々の想像以上にチップ部品の微細化が進んでいることが分かった。驚くべきことに0603以下のチップ部品を使っている企業が47%もあった。

チップサイズが小さくなると基板上の面積には余裕ができ、基板の設計は容易になるが、チップ部品の実装時にチップ立ち、クラックなどの実装不良、パッドサイズの小型化によるはんだ不足など、様々な実装トラブルが増えてくる。一般的に0603以下の部品は、手作業によるリペアが困難となるため、実装後のテストと不具合発生時の故障解析により、製造

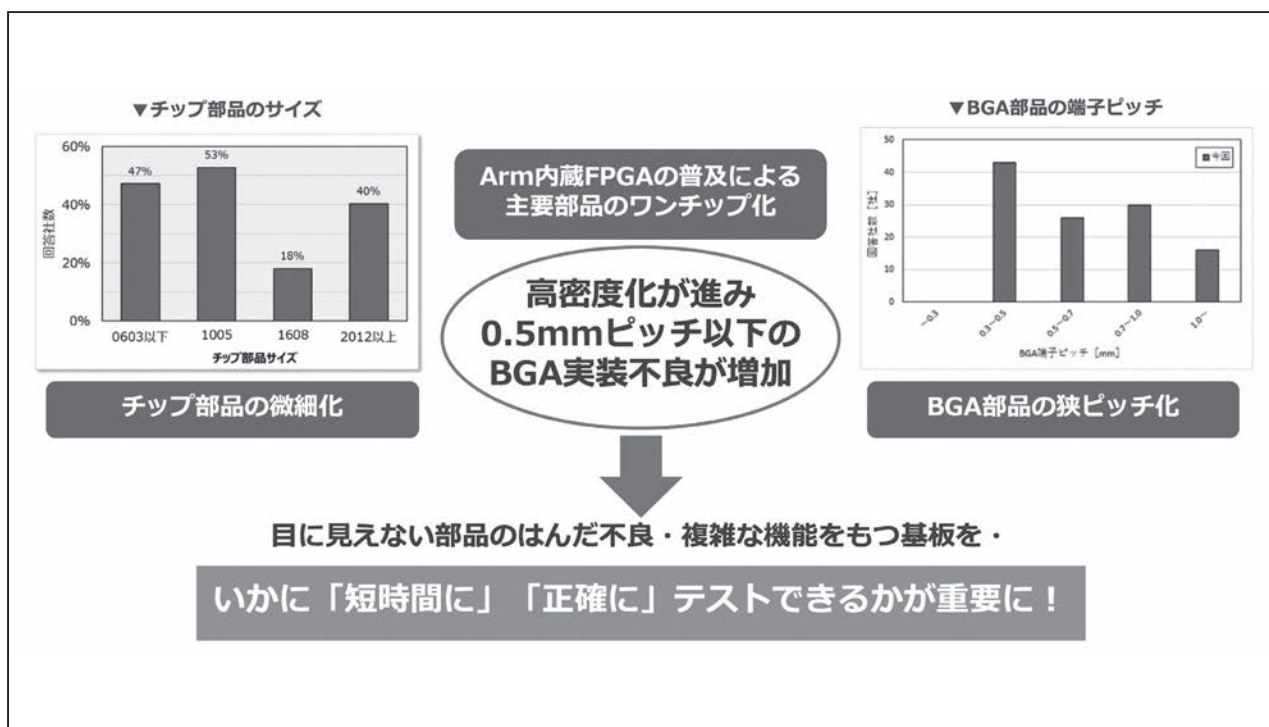


図1 高密度実装基板の動向

不良を起こさないための的確なフィードバックと最適な設計ルールを決めることが重要になってくる。

また、FPGAやCPUなどのBGAパッケージ部品の狭ピッチ化については、0.3～0.5mmピッチのBGAを使用している企業が50%を超えてもっとも多い結果になった。0.5mmピッチ以下のBGA部品は、この数年の経験から実装トラブルが多く発生することが分かっている。

このような結果から、IoT機器、産業機器、車載機器などは、図1のようにチップ部品の微細化、BGA部品の狭ピッチ化により、さらに高密度化が進んでいくことが予想されている。

一般的に新製品のプロジェクトがスタートした時には、製品の性能、製造容易化設計(DFM)と製造コストを考慮しながら設計が進められる。DFMにより、モノづくりのしやすさだけでなく、実装不良が起きにくい工夫を実装工程に盛り込むことができる。

しかし、性能とコスト、製造のことばかりを考えて設計が進められてしまうと、テストのことがまったく考慮されていない基板が完成してしまう。量産直前にテスト設計を始めても、テストのために基板の設計変更を行うことができないため、重要な回路や部品をテストできなくなってしまう。このような事態に陥らないためにも、BGA基板のテスト戦略が重要になる。企業の競争力を高めるためには、「見れない・触れないBGA基

板」をムリ・ムラ・ムダが無く、短時間に、正確にテストするためのテスト戦略が求められる。

3 一般的な基板の構成例

最近の産業機器、IoT機器の基板は、図2のようにBGA部品を中心としたデジタル回路と、QFPとチップ部品を中心としたアナログ回路、電源回路から構成されている。たとえば、画像処理基板であればデジタル回路が70%、アナログ回路が30%程度になり、モータ制御基板であれば、デジタル回路が30%、アナログ回路が70%程度の比率になる。基板の機能によって、デジタル回路とアナログ回路の比率は変化する。

デジタル回路は、マイコン、FPGAなどのJTAGバウンダリスキャン規格に対応したBGA部品を中心として構成され、JTAGテストによりカバーできる。アナログ回路は、電源回路を中心として実装密度が比較的低いため、テストパッドを配置してプローブピンで接触できることから、インサーキットテスト(ICT)でテストできる。このように、テストカバレッジを最大化するためには、複数の検査手法を効率よく組み合わせてテストすることが重要になる。

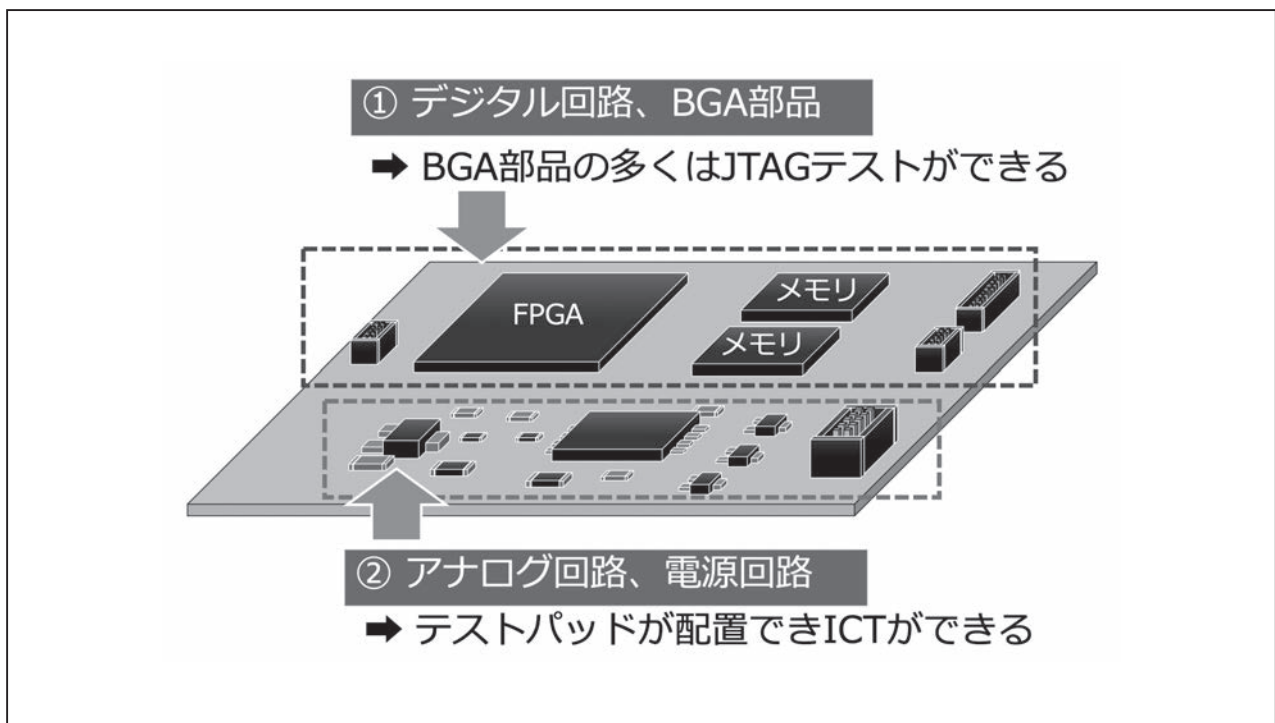


図2 一般的な基板構成例

4 開発段階でも有効な JTAGテスト

JTAGテストは、小型で持ち運びができる装置であり、回路設計から量産検査、保守、修理まで、幅広いシーンで活用されている。回路設計者が試作基板の受入検査で、図3のようにノートパソコンと一緒に手軽に、実装不良の有無を確認することができる。したがって、回路のデバッグを物理的な不良が無い基板で進められるため、デバッグ期間を短縮することができる。

通常、回路設計者は周辺回路を動かすためのソフトウェアやFPGAのロジックの設計が必要である。しかし、JTAGテストでは、JTAGバウンダリスキャン対応部品をバーチャルプローブとして自由自在に制御できるため、ソフトウェア開発を行わずに回路設計者自身が容易に周辺回路のデバッグを進めることができる。

JTAGテスト統合環境「JTAG ProVision」には、31万種類を超える部品ライブラリが用意されている。このライブラリは、バウンダリスキャンに対応していない周辺部品の動作モデルになっていて、周辺回路に対するテストデータが自動生成される。回路設計者の手間は少なく、基板製造前のテスト準備段階でテストカバレッジのレビューを行うと、回路設計ミスに気づきやすいというメリットもある。

受け入れ検査で使用したJTAGテストアプリケーションは、量産検査としても使用できるため、量産テストの準備にかかる

工数を削減できる。特にファンクションテストをソフトウェア設計者が開発している企業にとっては、ファンクションテストの規模を大幅に縮小できることになり、本業である新製品のソフトウェア開発に注力できる。さらに製造不良の故障解析をハードウェア設計者が担当する企業では、JTAGテストにより故障解析を自動化できるため、設計者の負担を低減することができる。

5 従来の検査機の課題

BGA実装基板の検査においては、図4のように従来のテスト手法では実装保証が難しくなっている状況がある。インサーキットテストでは、BGA部品にプロービングは不可能であり、テストパッドを設けると高速デジタル回路の信号が反射してしまいノイズ源となってしまうため、テストパッドを配置することはできない。

また、ファンクションテストでは、近年のワンチップ化が進む中、テストプログラムが複雑化している。企業ではテレワーク化が進み、開発リソースが制限される中、設計者の負担が大きくなっている。一般的に、ファンクションテストは、機能レベルの合否判定の結果しか得られず、製造工程への的確なフィードバックは難しい。3次元X線検査の場合には、解像度を上げると撮影時間が長くなってしまい、量産検査で全数検査することは難しい。また、撮影画像の解像度を上げるためには、基

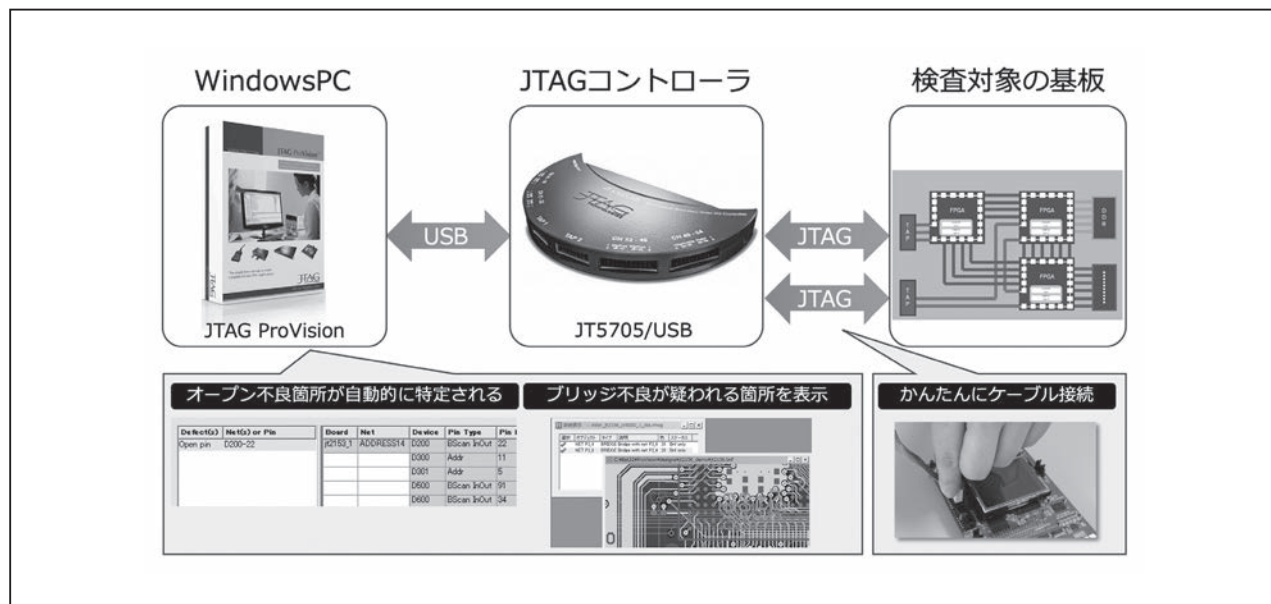


図3 JTAGテストの構成例

板のサイズに制限があるため、一般的にBGAの微細クラックを検出することができないという課題もある。これらの検査機の課題を解決するために、JTAGテストを用いてテストを補完する企業が増えている。

さまざまな検査手法があるが、1つの検査手法だけでは不十分であり、BGA基板の実装保証が出来ない状況になっている。そこで、各検査手法の弱点を補完するために、JTAGテストとさまざまな検査手法をどのように組み合わせて、「ムリ・ムラ・ムダ」のないハイブリッド検査を構築するか説明する。各検査手法のメリットとデメリットを図5にまとめたので、検討するときの参考にして欲しい。

6 ムリ・ムラ・ムダのない JTAGハイブリッド検査を考える

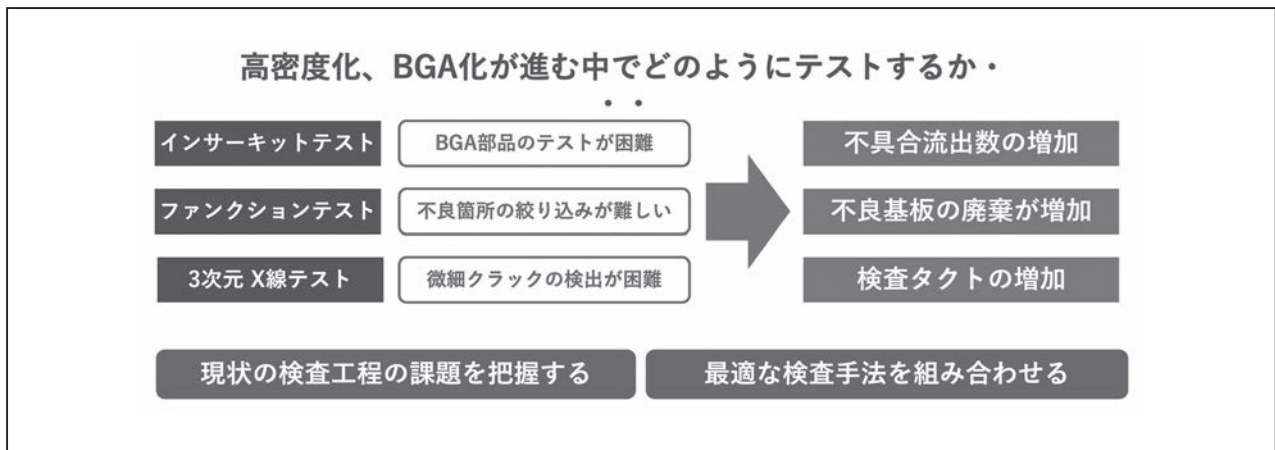


図4 従来のテスト手法の課題

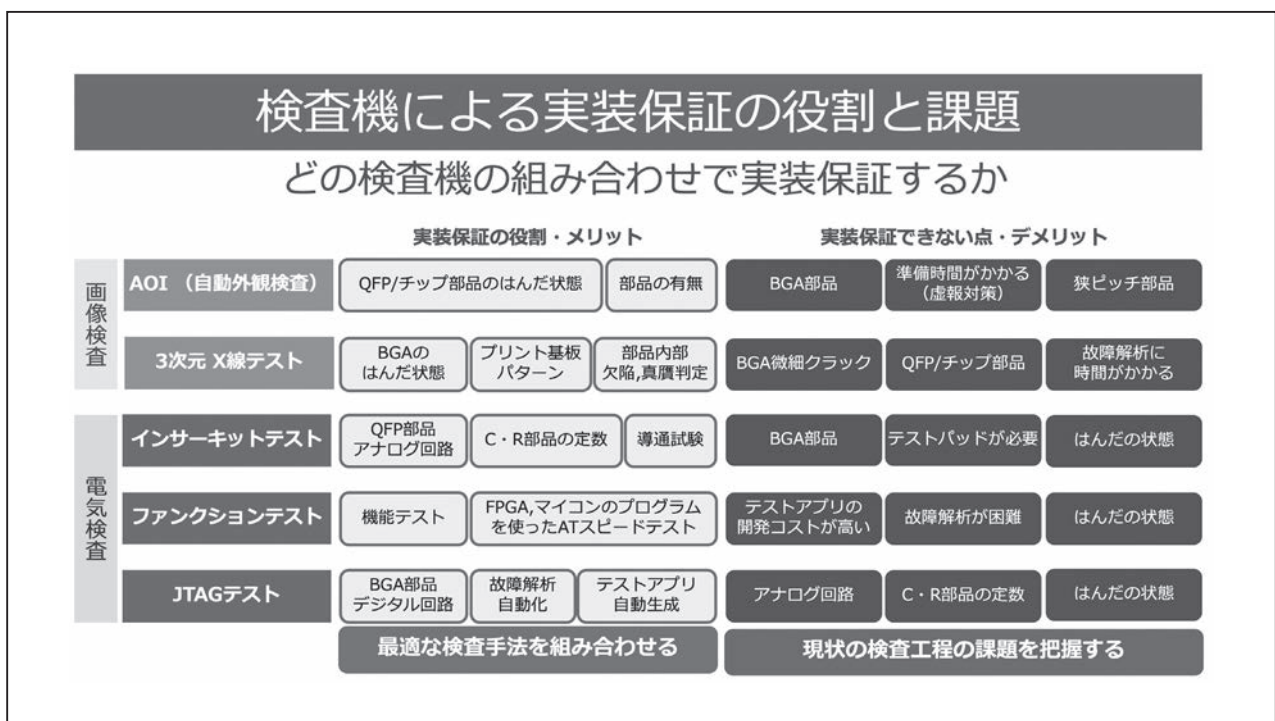


図5 テスト手法のメリットとデメリット

① 画像検査とJTAGテストのハイブリッド検査

画像検査のX線検査と電気検査のJTAGテストのハイブリッド検査では、BGA部品の実装保証と故障解析に向いている組み合わせである。JTAGテストを使って短時間でBGA実装の検査と故障診断を行い、BGAのクラック個所を3次元X線検査で撮影することにより、故障解析を非破壊検査で行うことができる。また、AOIとJTAGテストの組み合わせでは、外観で撮影できるQFPとチップ部品はAOIで実装保証し、撮影ができないBGA部品をJTAGテストで検査することによりテストカバレッジを拡大することができる。

② ICTとJTAGテストのハイブリッド検査

電気検査のインサーキットテスト (ICT) と JTAG テストのハイブリッド検査では、テストパッドを配置できる実装密度が低いアナログ回路のテストはインサーキットテストで検査できる。しかし、高速デジタル回路とBGA周辺回路はICTのプロープピンを接触させることが困難である。しかし、デジタル回路は、JTAGテストで補完することができるため、BGA基板全体を電気検査で確実に実装保証することができるようになる。ICTとJTAGテストは、どちらもテスト時間が短時間というメリットがあり、テストプログラムを書き込む必要がないため、量産検査に有効なハイブリッド検査手法の1つとなる。また、故

障箇所をピンポイントで特定することができ、製造ラインへの的確なフィードバックにより、不具合の再発防止に繋げることができる。

③ ファンクションテストとJTAGテストのハイブリッド検査

ファンクションテストとJTAGテストのハイブリッド検査は、どちらも被検査基板を通电して行うテストである。JTAGテストでカバーしているテスト箇所は、ファンクションテストから省くことができ、ファンクションテストの開発規模を削減して、開発者の負担を低減することができる。また、テスト時間を短縮できるメリットもある。既存のファンクションテストに、JTAGコントローラを組み込むだけで、簡単にハイブリッド検査装置を構築することができるなど、親和性が高い。

新製品の開発において、検査機のメリット、デメリットを考慮し、どのような方法で実装基板のテストを行うべきか、回路設計のデザインレビュー時にテスト容易化設計を考慮することが重要になる。ファンクションテストでは、機能レベルの故障診断しかできず、詳細な故障箇所は分からないため「真の故障原因」を特定することができない。真の故障原因を特定するためには、図6の通り、検査装置の特性を正しく理解することが、再発防止への最短のアプローチとなる。特にJTAGテ

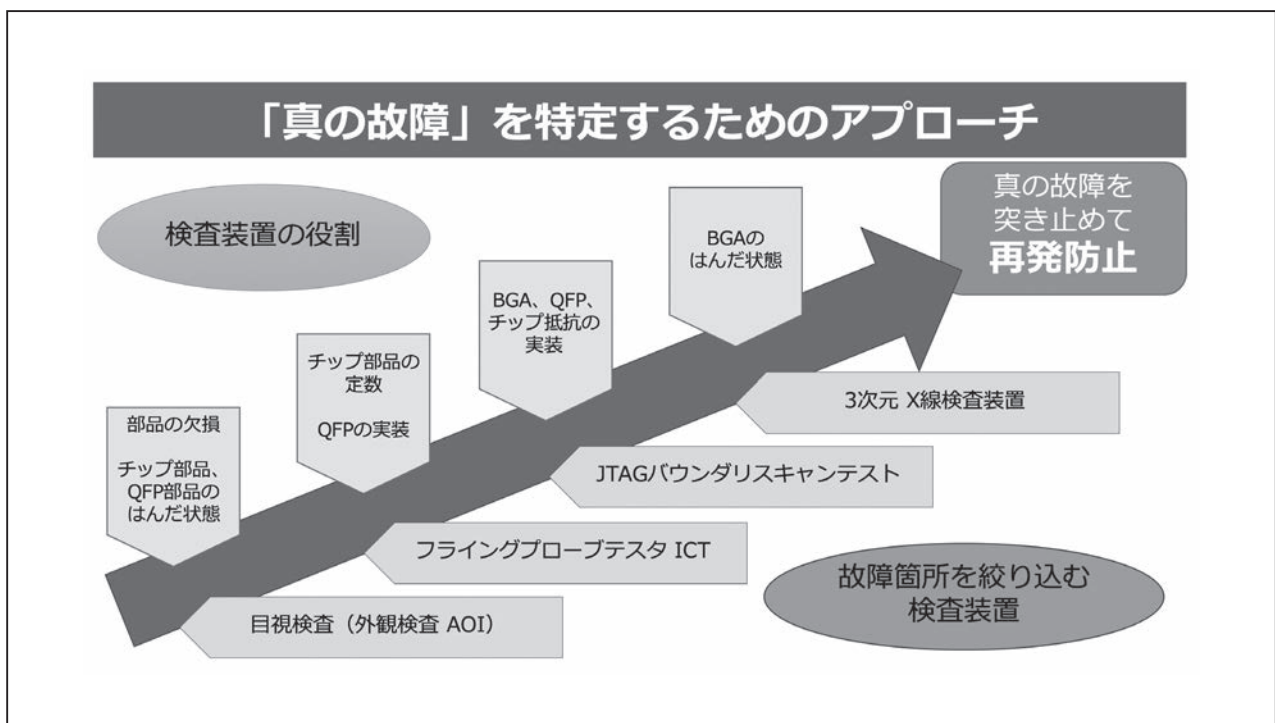


図6 再発防止へのアプローチ

ストを活用したハイブリッド検査は、検査コストと品質保証のバランスが良く、回路設計時にテスト容易化設計を行うことにより、最大限の効果を得ることができる。

7 回路設計から テスト容易化設計を考える

ハイブリッド検査のカギとなるJTAGテストは、図7のようにテストアプリケーションを自動生成する機能があり、回路CADから出力される配線情報とJTAGテストツールに内蔵されている部品ライブラリから、テストアプリケーションが自動生成される。したがって、回路設計中に設計者の手間をかけずにテストアプリケーションが完成する。生成したテストアプリケーションのデータから、テストカバレッジを評価できる。

さらに、テストカバレッジを回路CADとレイアウトCAD上にマーキングできるため、設計初期の段階でテストカバレッジをレビューすることができるようになる。重要な回路がマーキングされずに、テスト範囲に含まれない場合には、回路設計を工夫してテスト範囲を広げることができる。回路図を変更した後は、テストアプリケーションを再生成すれば、すぐにテスト

カバレッジが広がったかどうか確認できる。

生成したテストアプリケーションを実行すると合否判定ができ、故障診断ツールを実行すると故障診断結果が部品の端子レベルで表示される。製造現場においては、検査作業でも簡単に故障解析ができるため、すぐに手直しすることができる。また、故障解析結果の検査ログも残るため、設計と製造ラインへの的確なフィードバックを行うことができるようになる。

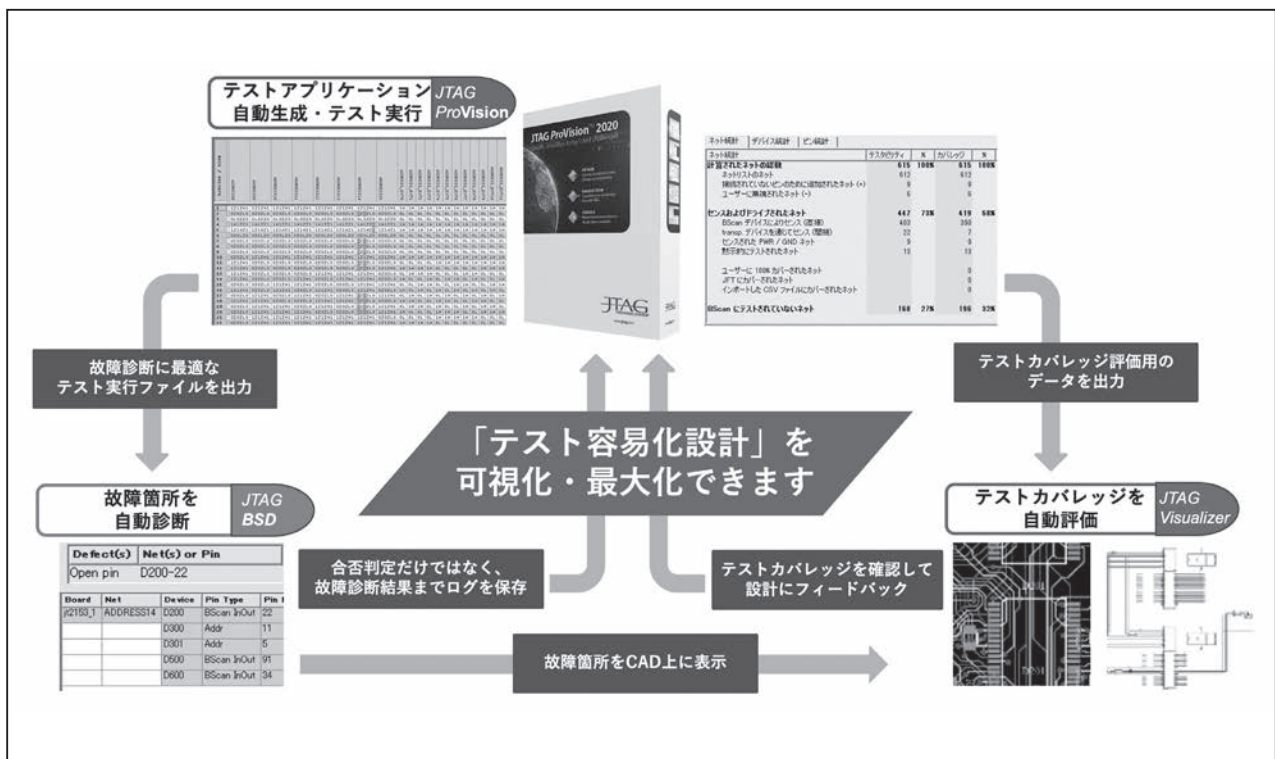


図7 JTAGテストのDFT活用例

8 製品のライフサイクルから テストシーンを考える

テスト戦略を考えるときには、製品ライフサイクルの中で、さまざまなシーンを想定して検討することが求められる。JTAGテストは、コンパクトで持ち運びが容易であるため、図8のように試作基板の受入検査から、量産検査、保守と修理まで多くのシーンで活用されている。

試作基板の検査では、ピン治具を使わずに、マイコンのデバッグポート、FPGAのダウンロードコネクタより、ケーブルを接続してテストできる。デバッグ中に基板を改造した場合には、改造後の回路図データからテストアプリケーションを再生成して、改造結果も含めてテストすることができる。

量産検査のシーンでは、ピン治具にJTAGコントローラを組込み、量産用の検査機として使用し、作業者のスキルに依存しない合格判定とトレーサビリティの管理により、不具合品の市場流出を防止できる。

市場不具合品の解析のシーンでは、故障解析の作業を自動化でき、品質評価のシーンでは、JTAGテストを連続実行させた状態で、振動試験や温度試験と組み合わせ、発生頻度の低い不具合箇所を究明することもできる。JTAGテストは、BGA実装基板の故障箇所を特定できるため、はんだクラックが疑われる個所に絞って3次元X線により非破壊で故障解析

を行うことができる。

9 製造現場の課題解決を考える

テスト戦略をさらに良いものにするためには、製造現場の声を反映することがもっとも重要である。

JTAGテストが製造現場で支持されている理由は、図9のように製造現場の3つの課題を解決できることである。昨今の半導体不足により、部品の入手が困難になった。その影響で、部品変更と設計変更を余儀なくされた場合でも、JTAGテストは検査装置の変更を迅速に対応できるテスト手法である。設計者は、部品変更に伴う設計変更に対応する負担が増えているが、この状況は、生産技術者も同じであり、検査装置を変更、準備するための負担が増えている。JTAGテストの場合には、基板上の部品の変更、実装・非実装の変更があったときに、部品ライブラリを入れ替えるだけで、すぐに部品変更後の基板に対応するテストアプリケーションを生成することができる。したがって、突然の部品変更があっても、製造検査ラインを長期間止めることはない。

次に、BGA不良基板の廃棄削減である。BGA端子のピッチが0.5mmよりも狭くなると不具合発生頻度が増えてくる。また、故障箇所を特定することが難しいため、修理ができ

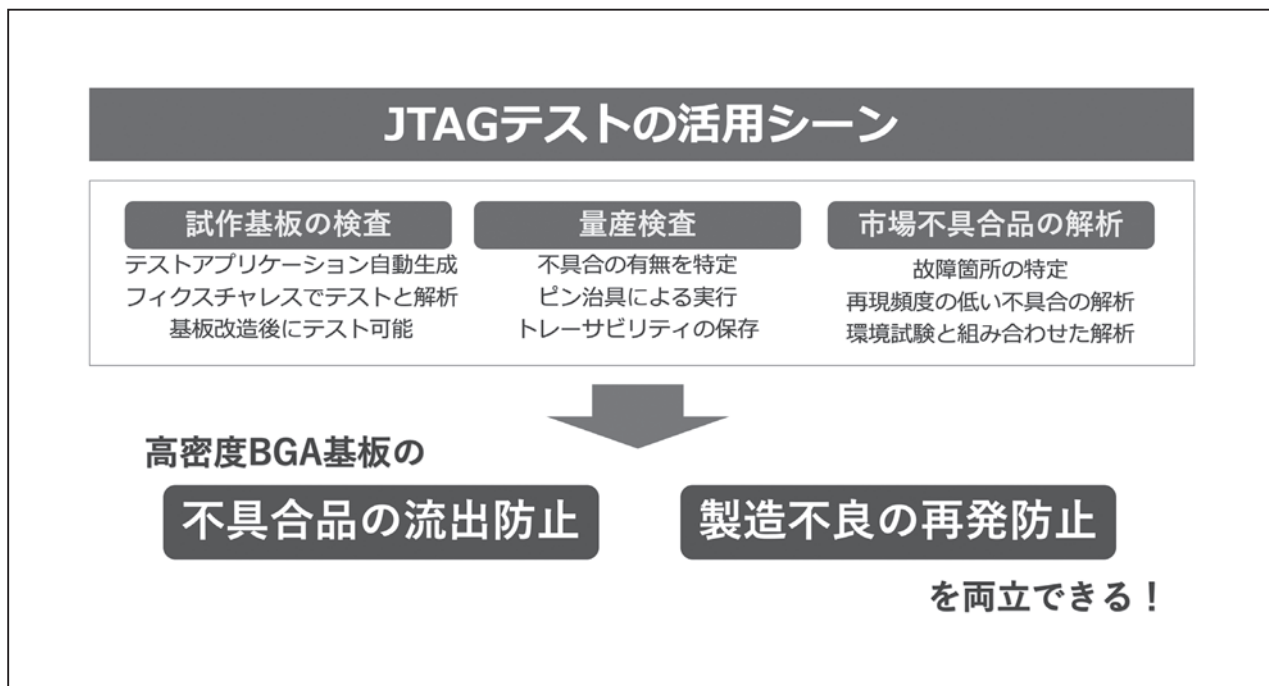


図8 JTAGテストの活用シーン

ずに不良基板を廃棄している企業が多い。しかし、JTAGテストを活用するとBGAの故障箇所が自動的に診断されるため、故障解析の手間をかけずに修理することができ、不良基板の廃棄数を大幅に削減できるようになる。

最後の理由は、検査結果の的確なフィードバックである。せっかく量産検査で蓄積した検査結果も、合否判定のみではフィードバックすることはできないが、JTAGテストでは故障診断結果を蓄積して、BGAのどの端子で不良率が高いか統計分析することができるようになる。このように、製造現場の検査データを製造ラインや設計にフィードバックして、不具合の再発防止に繋げるための的確なフィードバックを実現できるため、JTAGテストを利用するメリットは大きい。

10 JTAGテストによる テスト容易化設計のメリット

実装不良などの問題が迅速に解決されない場合は、新製品の市場投入までの時間、修理の所要時間、製品の品質と信頼性などの重要な側面が許容範囲を超えてしまう場合がある。問題のある可能性と結果には、次のことが考えられる。

① テスト容易化設計 (DFT) や製造容易化設計 (DFM) が

不十分なためにより引き起こされる「試作基板の複数回のレイアウト変更」に伴う余分な設計サイクル

② 設計の問題発見を遅らせる製造上の欠陥に起因する「プロトタイプデバッグ期間の長期化」

③ テストカバレッジの低さ、故障診断の不備による「製造上の障害における修理の問題」

④ 製造テストが間に合わないことによる「ファンクションテストへの過度な依存」と「ファンクションテストの開発費拡大と準備期間の長期化」

⑤ HASSまたはHALT環境試験における原因不明トラブルによる「品質保証の検証期間の長期化」

⑥ 工場の故障診断能力低下による「修理期間の長期化」と「廃棄コストの増加」

これらの結果は、部門をまたがった課題であり、一貫してJTAGテストツールを提供することにより解決でき、コスト削減と品質向上のメリットが得られる。JTAGテスト技術は、製品のライフサイクル全体に影響があり、企業全体で活用した

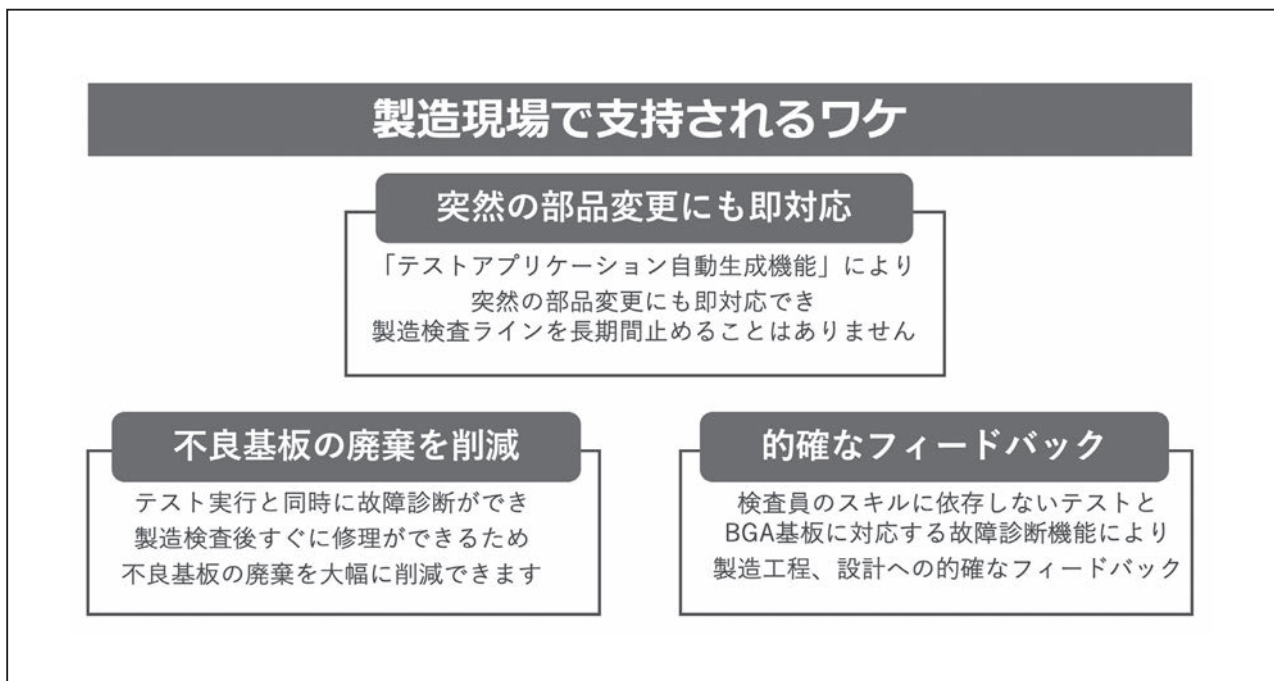


図9 JTAGテストが製造現場で支持される理由

場合に最も効果が得られることが世界中で証明されている。

回路設計者が試作開発のときに、JTAGテストを活用することにより、製品で達成されるテストカバレッジをJTAGツール上で把握することができる。したがって、テストカバレッジが不十分とみなされた場合には、試作基板の製造前に部品選定や回路を工夫してテストカバレッジを改善することができる。

11 ムリ・ムラのない基板検査

ムリのない基板検査には、図10のように製品の品質と検査コストのバランスを考えて、実装基板検査のテスト戦略を決めることが重要になる。はじめに製品に求める品質として、不良品の流出防止、守るべき企業イメージ、検査結果にどのようなフィードバックを求めるかを考える。

次に検査コストとして、不良品が市場に流出してしまうことによる不良品の改修コスト、販売機会の損失、基板の廃棄コストなどの本来発生すべきでない費用や無駄な費用(ロスコスト)と検査準備に関わるコストを算出し、製品の品質と検査コストの適正なバランスを取ることが求められる。しかし、生産技術部門では、ロスコストを算出せずに検査コストの議論を行うことが多く見受けられ、適切な検査品質を維持できていな

い企業が多い。

世界中のハイテク企業では、JTAGテストが導入されている。JTAGテストは、国際規格IEEE1149.1で定められたテスト手法であり、テストツールによりテストデータが自動生成される仕組みである。合否判定から故障診断まで自動化することができ、検査品質のムラを無くすることができる。また、JTAGテストを導入している企業では、企業全体で下記のメリットが得られている。

- ① 市場投入までの時間短縮
- ② 再利用可能なテストアプリケーション
- ③ テスト時間の短縮
- ④ 設計のやり直し削減
- ⑤ 効率的で経済的な生産

12 テストは「付加価値のないムダ」なのか

実装部品の小型化、実装基板の高密度化が進み、検査と故障解析の難易度が年々上がっている。高密度実装基板の検査を量産直前になって検討しても、設計変更が出来ないため

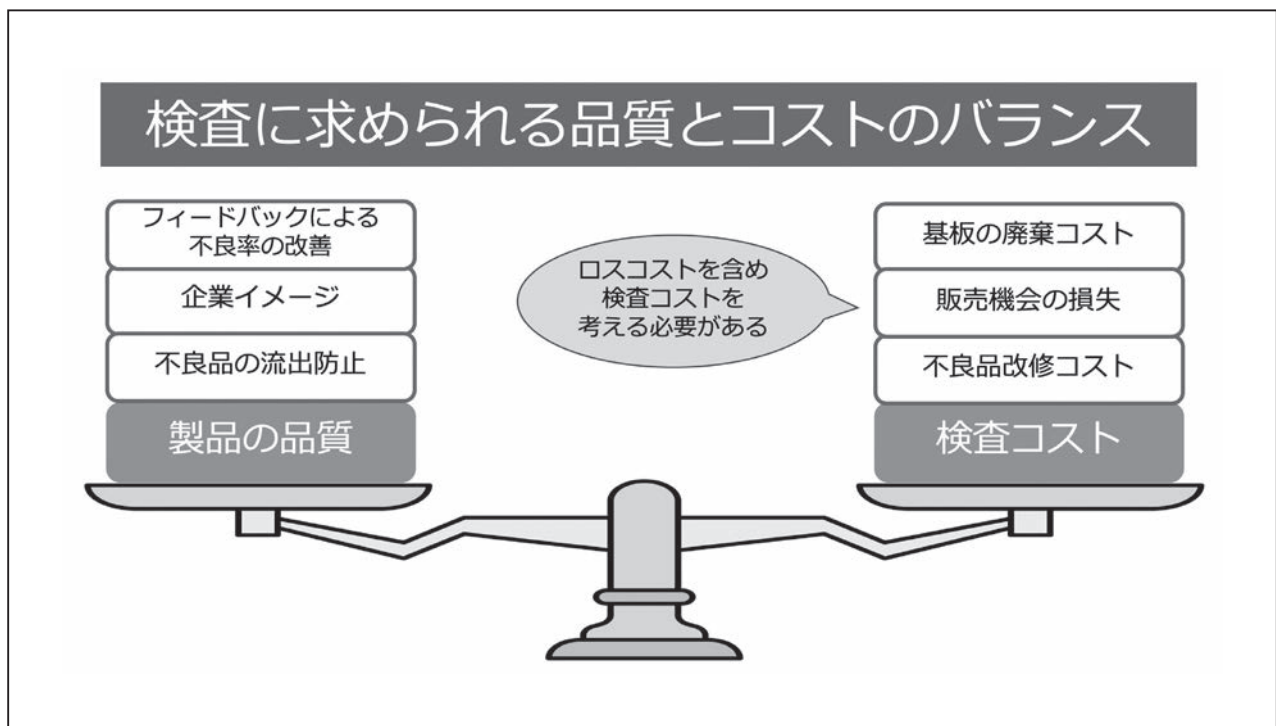


図10 ムリのない検査のバランス

にテストカバレッジが低くなってしまいうため、設計段階からテスト戦略を練り、テスト容易化設計に取り組むことが求められる。この取り組みが、製品の品質保証を確かなものにし、「不良品の市場流出防止」と「不具合の再発防止」にとって重要なものとなる。

しかし、企業の中で検査は「付加価値のないムダ」であると見なされることがよくある。しかし、この判断は「よく考えられたテスト戦略」における大幅に削減されるコストは無視されている。検査コストは、ファンクションテスト、インサーキットテストとJTAGテストを組み合わせることでJTAGハイブリッドテストにすることにより、検査装置の開発コストを大幅に削減でき、検査時間も短縮することができる。

テストの質とテストカバレッジを最大化するためには、DFTを考慮した設計とレビューが重要になる。設計段階におけるテスト容易化設計と検査工程の関係をDFTのV字モデルとして図11にまとめた。JTAGテストなどの電気検査を効率化するためには、回路設計を工夫することがJTAGテストのカバレッジを最大化するために重要であることが分かる。

テストカバレッジを最大化すると、故障解析時間の削減、正確な故障診断のフィードバックによる製造不良率の改善、不良基板の廃棄コストの削減などの効果を最大化できる。このよ

うに製品のライフサイクルにおける様々なコストを削減できるため、「よく考えられたテスト戦略」は企業にとって「価値がある検査」となる。

13 まとめ

DFTは、製品開発における仕様設計段階、回路設計段階、実装設計段階など多岐に渡る。もし、DFTを考慮していない基板を生産開始直前に検査準備をはじめようとする、テストカバレッジ、テスト品質、スケジュール、生産技術者のリソースなど、あらゆる「ムリ」な状況が起きてしまう。また、このような「ムリ」な状況では、生産技術者や検査作業者のスキルに依存したファンクションテストを行うことになってしまい、検査の「ムラ」ができてしまう。DFTにより、試作段階からテストカバレッジを最適化し、検査の準備を進めることにより、最適な検査手法の組み合わせにより実装基板検査における様々な「ムダ」を削減し、企業の利益を生み出すことができる。

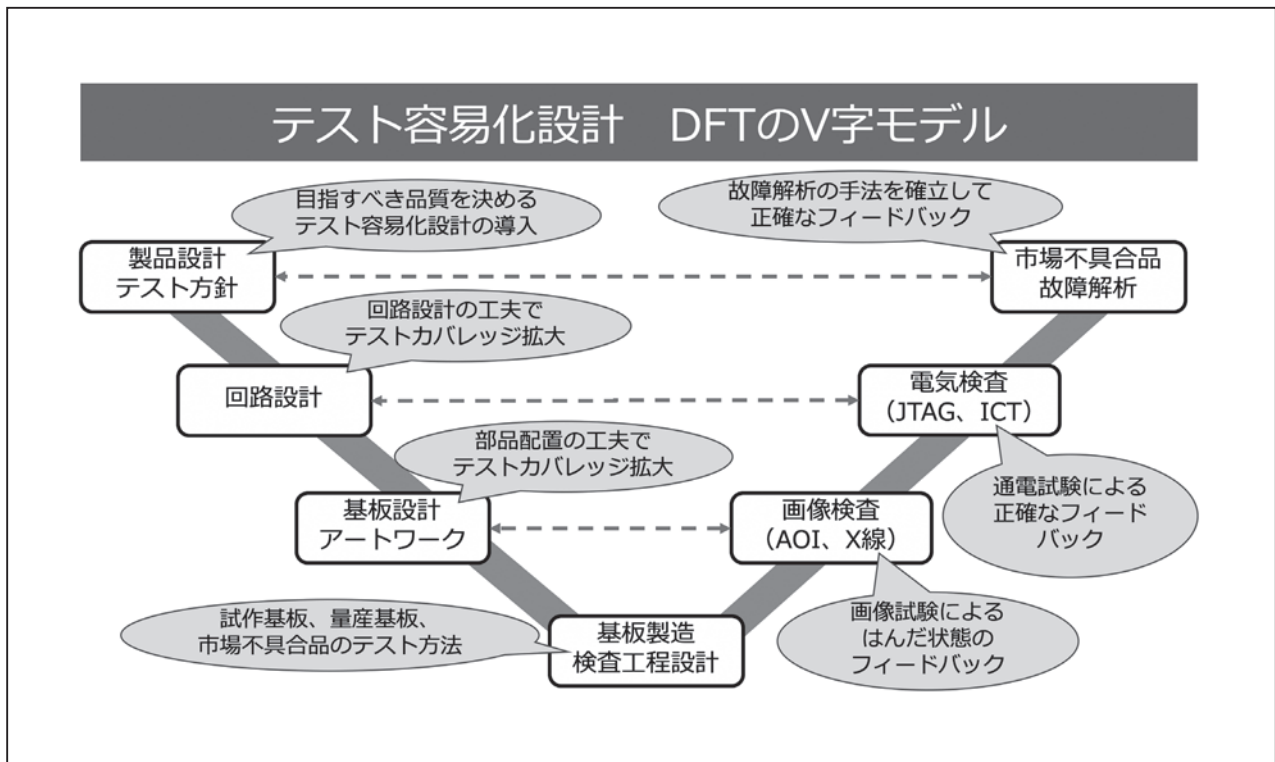


図11 DFTのV字モデル